

Initiation aux circuits intégrés, à la technologie T.T.L. et aux familles M.O.S.

par Jean-Michel ROLANDO,
Ecole Normale, Bonneville.

INTRODUCTION

Un circuit intégré est constitué d'un ensemble de composants produits simultanément sur une unique plaquette de silicium, à la suite d'opérations particulièrement ingénieuses. Son évolution a conditionné (et conditionne encore) celle des ordinateurs (fiabilité, miniaturisation, capacité de travail, prix...). Depuis 1960 (date de mise en œuvre du procédé « Planar »), le nombre de transistors intégrés sur la « puce » de silicium est passé de quelques unités à quelques centaines de milliers.

Les réalisations les plus complexes de l'ordinateur nécessitent un petit nombre de fonctions simples, répétées évidemment un très grand nombre de fois. Du point de vue électronique, on trouvera donc quelques cellules de base (portes logiques, bascules pour mémoire...), chacune réalisant une fonction élémentaire, et dont l'élément principal est le transistor. Deux familles se sont développées parallèlement, l'une fondée sur les transistors bipolaires au silicium (généralement de type NPN), l'autre utilisant des transistors à effet de champ de type M.O.S. (Métal - Oxyde - Semi-conducteur).

Dans une première partie, nous rappellerons brièvement le principe du transistor bipolaire, puis nous étudierons de façon un peu plus détaillée celui du transistor M.O.S., moins connu dans nos lycées. Dans la seconde partie, nous donnerons un aperçu de la fabrication des circuits intégrés. La troisième partie sera consacrée à l'étude de la technologie bipolaire actuellement la plus répandue (T.T.L. = Transistor, Transistor, Logic), et à celle d'une de ses variantes (T.T.L. Schottky). Pour terminer, nous étudierons dans la quatrième partie les principaux circuits à transistors M.O.S.

Nous aurons, au cours de ces pages, à analyser le fonctionnement de portes logiques qui, comme chacun sait, travaillent en système de numération binaire. Bien que quelques contraintes technologiques aient conduit parfois à adopter une convention inverse, nous raisonnerons ici en logique positive : le niveau logique 1 est représenté par le potentiel positif le plus élevé ; le niveau 0 par le potentiel le plus bas.

Première partie :

DEUX ELEMENTS DE BASE :

LE TRANSISTOR BIPOLAIRE ET LE TRANSISTOR M.O.S.

I. LE TRANSISTOR BIPOLAIRE AU SILICIUM.

Nous supposons connues du lecteur les principales propriétés des semi-conducteurs dopés par des impuretés de type N ou P, ainsi que celles de la jonction P-N. Nous raisonnerons sur un transistor NPN. Les courants étant dus aux porteurs majoritaires de l'émetteur, il s'agira ici d'électrons. Nous ne devons pas perdre de vue que ceux-ci « montent » spontanément les barrières de potentiel, alors qu'ils ne les « descendent » que s'ils ont une énergie supérieure à la hauteur de celle-ci.

A) Transistor non alimenté.

Les majoritaires de l'émetteur et du collecteur diffusent dans la base. Il s'établit au niveau de chaque jonction une barrière de potentiel due aux ions fixes du réseau cristallin (fig. 1). Notons V_0 la hauteur de cette barrière.

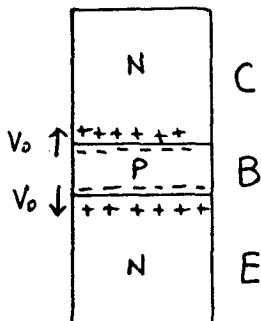


Fig. 1

B) Transistor dans le montage émetteur commun.

Ce montage est présenté fig. 2a et 2b. Nous avons fait abstraction des résistances de protection de la base et du collecteur. E_C polarise la jonction base-collecteur dans le sens inverse et renforce la barrière de potentiel ($v_2 > V_0$). Faisons pour l'instant abstraction de l'alimentation E_B : seuls des électrons pourraient franchir la barrière v_2 , mais il n'y en a pas dans la base (excepté quelques minoritaires) et ceux de l'émetteur ne peuvent « descendre » la barrière V_0 de la jonction émetteur-base. Le rôle de E_B est de polariser cette dernière jonction dans le sens direct, et de diminuer ainsi la hauteur de la barrière de potentiel correspondant ($v_1 < V_0$).

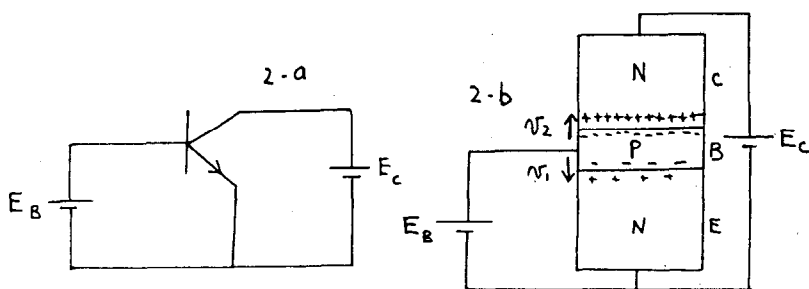


Fig. 2

Les électrons, porteurs majoritaires de l'émetteur, n'ont besoin que d'une faible énergie pour être injectés dans la base. Une infime partie est alors dérivée et constitue le courant de base, mais la plus grande partie « monte » la deuxième barrière de potentiel et passe dans le collecteur.

C) Transistor bipolaire en commutation.

Il s'agit de sa principale utilisation dans les circuits logiques. Le courant I_C et la tension V_{CE} sont commandés par le courant I_B ou par la tension V_{BE} , donc, si nous le souhaitons, par la tension d'entrée V_e (fig. 3).

Envisageons les deux situations extrêmes :

— $V_{BE} > 0,7$ V ou I_B suffisamment grand :

$$V_{CE} = 0 \quad \text{et} \quad I_C = \frac{E}{R_C}$$

Le transistor est dit saturé.

— $V_{BE} < 0,7$ V ou $I_B = 0$:

$$V_{CE} = E \quad \text{et} \quad I_C = 0.$$

Le transistor est dit bloqué.

Le passage du transistor de l'un à l'autre de ces états porte le nom de commutation.

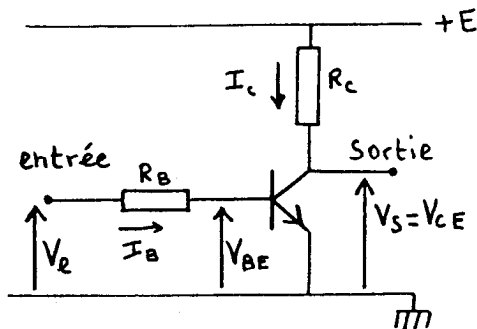


Fig. 3

II. LE TRANSISTOR M.O.S. A EFFET DE CHAMP.

A) Principe.

Il comporte trois électrodes :

- la source : zone de silicium dopé négativement, diffusée sur un substrat de type P ;
- le drain : identique à la source, il ne s'en différencie que par la tension qui lui est appliquée ;
- la grille : elle est en aluminium et constitue l'électrode de commande. Elle est isolée de la source, du drain et du substrat par une couche de diélectrique en oxyde de silicium SiO_2 .

C'est la nature des trois électrodes qui justifie l'appellation M.O.S. (bien que dans certaines versions la grille ne soit pas métallique).

La source étant à la masse, appliquons une tension d'une dizaine de volts au drain. En l'absence de polarisation de la grille, les porteurs ne peuvent circuler d'une électrode à l'autre (fig. 4 a). Portons alors cette même grille à un potentiel V_G positif et croissant. Bien qu'elle soit isolée, elle va agir par l'intermédiaire du champ électrique qu'elle crée à l'intérieur du substrat, en chassant les trous à une certaine distance de l'oxyde de silicium (la dénomination transistor à effet de champ se trouve ainsi justifiée). Il s'établit sous le diélectrique une zone désertée en porteurs positifs. Simultanément, la grille attire de plus en plus les électrons, porteurs majoritaires de la source et du drain, jusqu'à ce que se constitue un canal conducteur de type N

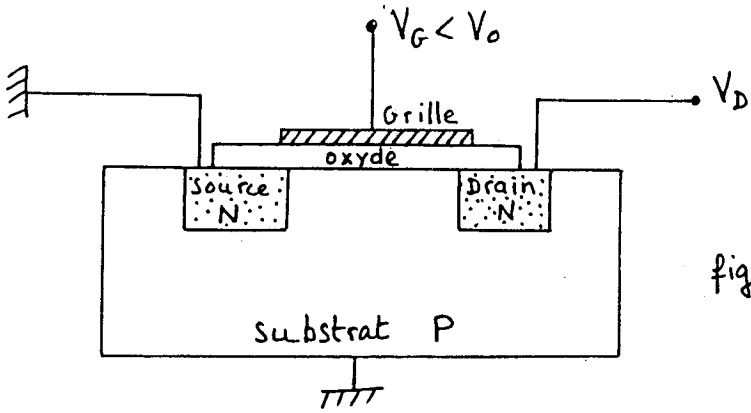


fig 4-a

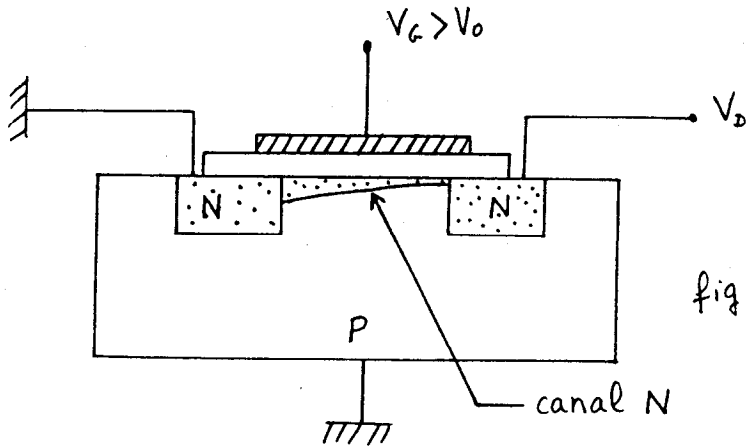


fig 4-b

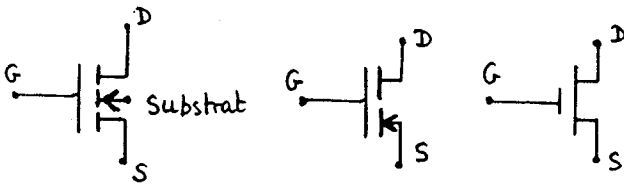


fig 4-c

Différentes représentations possibles d'un M.O.S. canal N.

(fig. 4 b). La tension de grille à partir de laquelle se produit ce phénomène est appelée tension de seuil et sera notée V_0 . Elle vaut environ 1,5 V. Nous appellerons I_D l'intensité du courant qui emprunte le canal. Signalons que les porteurs ne peuvent pas franchir les jonctions substrat-drain ou substrat-source car elles sont polarisées dans le sens inverse si l'on prend soin de relier le substrat à la masse. Les différents symboles d'un transistor M.O.S. sont représentés fig. 4 c.

B) Allure de quelques caractéristiques.

1. $I_D = f(V_G)$ à V_D constant.

Ce qui vient d'être dit suffit pour comprendre l'allure de cette caractéristique présentée fig. 5 a.

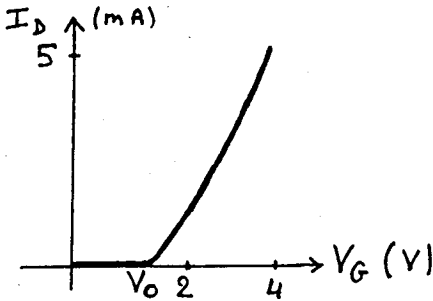


Fig. 5 a.

2. $I_D = f(V_D)$ à V_G constant (fig. 5 b).

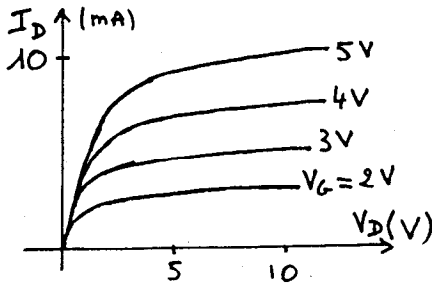


Fig. 5 b.

V_G étant fixée à une valeur supérieure à V_0 , faisons croître progressivement V_D . Le courant I_D augmente d'abord de façon sensiblement proportionnelle à V_D . Mais il s'établit un gradient de potentiel le long du canal. La d.d.p. $V_G - V_I$ entre la grille et un point I de ce canal varie de V_G à $V_G - V_D$. Lorsque V_D aug-

mente, $V_G - V_D$ diminue. L'épaisseur du canal, fonction croissante de $V_G - V_I$, diminue également. Lorsque $V_G - V_D$ devient inférieure à la tension de seuil V_0 , l'étranglement du canal vers le drain est très marqué et le courant I_D devient indépendant de la tension V_D . Mais notons bien que I_D ne peut pas s'annuler, car c'est son existence même qui conditionne l'apparition du gradient de potentiel, donc l'étranglement du canal.

3. $V_D = f(V_G)$ à charge constante (fig. 5 c).

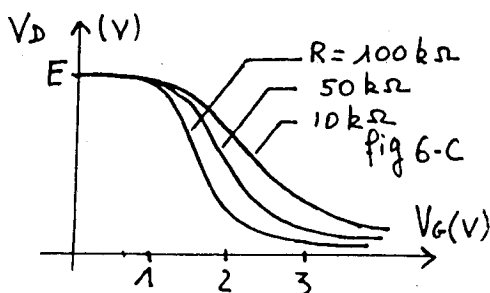


Fig. 5 c.

Le montage présenté fig. 6 permet d'obtenir cette caractéristique. Remarquons que le seuil de commutation du transistor n'est véritablement franc que pour de grandes valeurs de R . Nous reviendrons sur cette propriété dans la quatrième partie au paragraphe I.A.

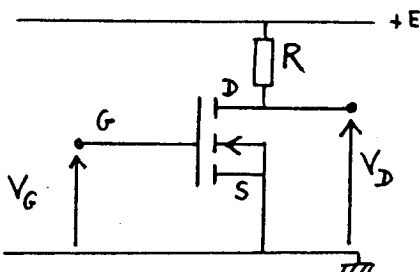


Fig. 6

C) Les deux principaux types de transistors M.O.S.

Celui que nous venons de décrire est le N.M.O.S. à enrichissement. En effet, le canal n'existe pas en l'absence de tension de grille. C'est en polarisant celle-ci qu'on enrichit le

substrat en porteurs de type N. Nous rencontrerons plus loin (quatrième partie, paragraphe II) le P.M.O.S. à enrichissement dont le principe est identique, mais la constitution symétrique : substrat N, drain, source et canal P, source et substrat à la masse, V_D et V_G négatives. Ses différents symboles sont représentés fig. 7, son mode de fonctionnement résumé fig. 8.

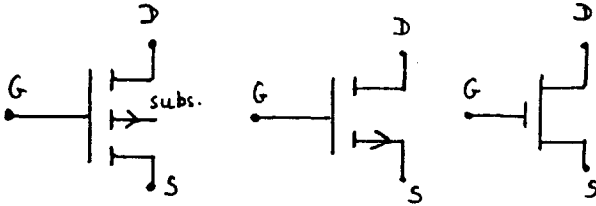


Fig. 7

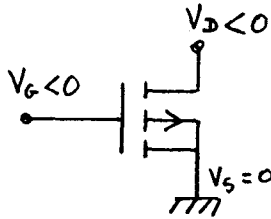


Fig. 8

Les performances des N.M.O.S. sont meilleures que celles des P.M.O.S. surtout en ce qui concerne la rapidité de transmission des signaux. Ceci est dû à la mobilité des électrons, trois fois supérieure à celle des trous. C'est cependant la technologie P.M.O.S. qui a été le plus vite maîtrisée (vers 1960) principalement en raison de sa moins grande sensibilité à la contamination du canal par les cations, et en particulier par les ions Na^+ omniprésents dans notre environnement. Les premiers circuits intégrés N.M.O.S. ont été réalisés dans le début des années 1970.

Deuxième partie :

PRINCIPE DE FABRICATION DES CIRCUITS INTEGRES

I. INTEGRATION D'UN TRANSISTOR M.O.S. CANAL N.

A) Préparation du silicium.

Le matériau de départ est un cristal de silicium très pur (pas plus d'un atome étranger pour 10^{10}), au sein duquel on a procédé à un dopage adéquat, ici de type P. Il se présente sous la forme d'un barreau qui est alors découpé en fines rondelles de 0,3 mm d'épaisseur (les wafers en langage anglo-saxon). Elles ont actuellement un diamètre un peu supérieur à 10 cm. Sur cette rondelle seront fabriqués simultanément de plusieurs centaines à plusieurs milliers de circuits intégrés identiques. Nous allons, pour notre part, nous intéresser à une minuscule zone d'un de ces circuits, dont les dimensions sont de quelques μm , et où nous voulons intégrer un transistor M.O.S. (fig. 9).

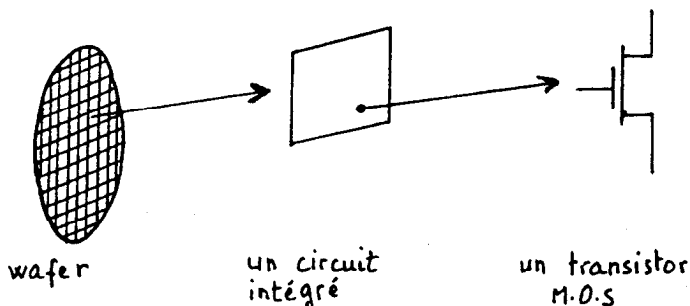


Fig. 9

B) Description simplifiée des différentes étapes de l'intégration.

1. OXYDATION.

Le substrat est placé dans un four porté à environ 1000°C où est envoyé un courant d'oxygène qui oxyde le silicium sur une épaisseur de l'ordre du μm (fig. 10 a).

2. PHOTOGRAVURE.

Une fine couche de résine photosensible (le photoresist) est déposée sur la surface de la plaquette. On superpose alors un masque qui porte le dessin des « fenêtres » qu'on désire « ouvrir » dans la silice (fig. 10 b). On expose aux ultraviolets. Le photoresist situé derrière les parties transparentes du masque se polymérise et devient chimiquement inerte. Celui situé derrière les parties opaques ne subit aucune transformation et est éliminé au cours

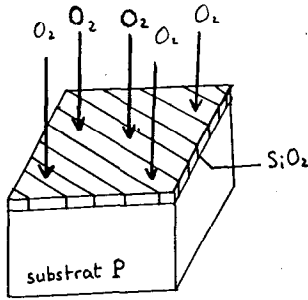


Fig. 10 a.

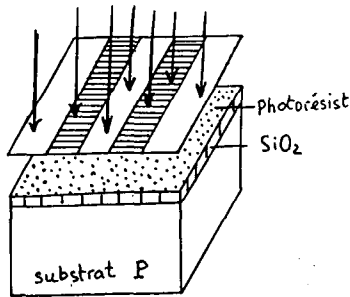


Fig. 10 b.

du développement qui suit. La surface de la plaquette est alors mise en contact avec de l'acide fluorhydrique, sans action sur la résine polymérisée, mais qui attaque la silice dénudée. L'opération est arrêtée dès que le substrat est atteint. Un solvant permet d'éliminer le polymère devenu inutile. Deux fenêtres sont alors ouvertes dans la silice (fig. 10 c).

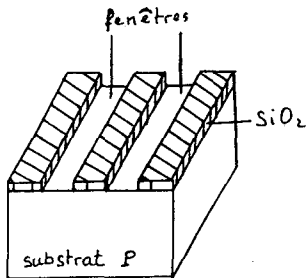


Fig. 10 c.

3. DOPAGE.

La technique la plus répandue consiste en une diffusion de vapeurs dopantes (ici de type N) dans un four porté à 1100°C . Notre transistor est presque prêt (fig. 10 d), il ne manque que les connexions métalliques.

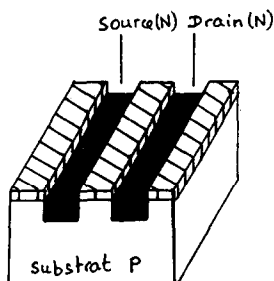


Fig. 10 d.

4. MÉTALLISATION.

Cette opération est effectuée en vaporisant de l'aluminium sous vide. Tout est interconnecté. Il nous faut recourir à une nouvelle photogravure (fig. 10 e), afin de découper l'aluminium

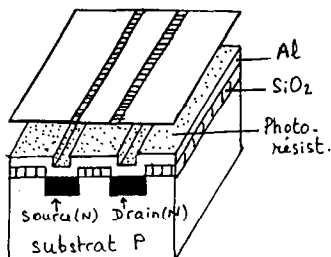


Fig. 10 e.

pour ne laisser subsister que les connexions utiles (photoresist, masque, insolation, développement, attaque de l'aluminium et dissolution du photoresist restant). Notre transistor M.O.S. est terminé (fig. 10 f), et avec lui l'ensemble des circuits intégrés de la plaquette puisqu'ils ont été fabriqués au cours des mêmes opérations. Il reste à les séparer, à les tester et à les placer dans le boîtier dans lequel ils seront utilisés.

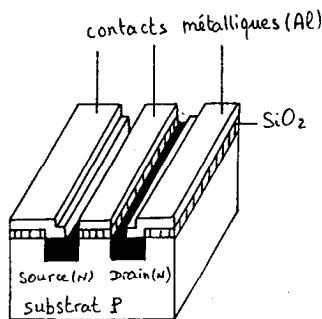


Fig. 10 f.

II. INTEGRATION D'UN TRANSISTOR BIPOLAIRE.

La structure simplifiée d'un transistor NPN est représentée fig. 11. Afin que le transistor soit isolé du substrat, on pola-

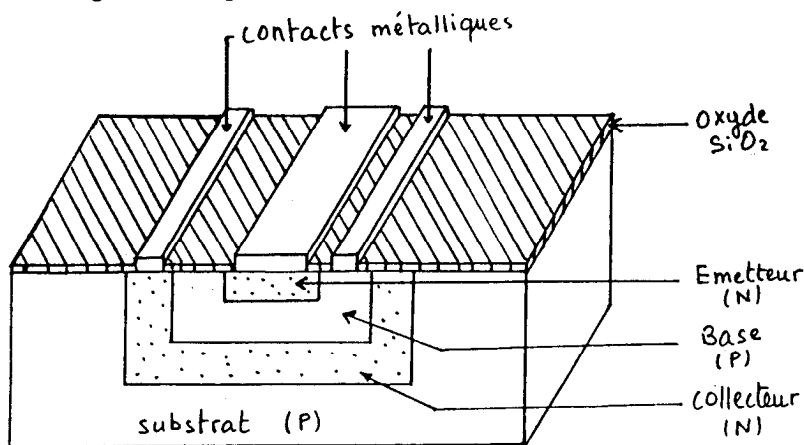


Fig. 11

rise de façon inverse la jonction collecteur-substrat. On réalise ainsi autour du transistor ce qu'on appelle un caisson d'isolement.

Sans qu'il soit nécessaire d'entrer dans le détail, on conçoit fort bien qu'un tel composant puisse se fabriquer par le même procédé que celui qui vient d'être décrit.

III. COMPARAISON DES CIRCUITS INTEGRES M.O.S. ET BIPOLAIRES.

Historiquement, les circuits intégrés bipolaires ont été les premiers réalisés, mais ils ont subi une sévère concurrence lorsque

la technologie M.O.S. a été maîtrisée. Aujourd'hui les deux familles coexistent, l'utilisateur choisissant en fonction des caractéristiques qui lui sont nécessaires.

A) Facilité de fabrication.

Comme nous l'avons déjà signalé (première partie, paragraphe II.C), les circuits M.O.S. sont très sensibles à la contamination, principalement dans leur version canal N. D'autre part, la tension appliquée à la grille (environ 5 V) crée un champ électrique intense ($5 \cdot 10^7$ V.m⁻¹ si l'épaisseur de l'oxyde est de 100 nm). Une très grande qualité du diélectrique est donc nécessaire dès que la densité d'intégration devient importante. En revanche, environ 40 opérations sont nécessaires à l'élaboration des transistors M.O.S. contre 130 pour les bipolaires. Le nombre de celles qui se font à haute température (les plus délicates) est également en faveur des M.O.S. (2 contre 10).

B) Densité d'intégration.

En ce domaine, la suprématie de la technologie M.O.S. est incontestable. Chaque composant consommant moins et occupant une surface plus petite, il a été possible d'atteindre de très grandes densités d'intégration (Very Large Scale Integration, en anglais). C'est principalement dans le domaine de l'élaboration des mémoires que celles-ci sont recherchées. Alors que les 64 K ne sont vraiment maîtrisées que depuis 1980, on commence à trouver des mémoires 256 K et les industries japonaises et américaines se livrent à une course vers les 1 024 K qui devraient être atteints d'ici les deux ou trois années à venir (*). Rappelons qu'une mémoire 1 K stocke 2^{10} (1 024) informations binaires. On imagine sans peine les prouesses techniques que nécessitent de telles densités. Il peut être intéressant à ce propos de revenir sur la technique de fabrication des masques qui sont classiquement obtenus par réduction photographique d'un original à grande échelle. On arrive ainsi à dessiner sur le dernier masque des traits de 2 à 3 μm d'épaisseur. Or, une mémoire 1 024 K nécessiterait une définition inférieure à 1 μm . La solution qui semble s'imposer consiste à dessiner le motif à l'aide d'un faisceau d'électrons piloté par ordinateur, soit directement sur le silicium recouvert d'une résine électrosensible, soit encore sur le masque final.

C) Autres caractéristiques.

En raison de la couche d'oxyde isolant la grille du substrat, le transistor M.O.S. présente une très forte impédance d'entrée (couramment 10^{12} Ω) de nature capacitive. Cette particularité est

(*) La course aux mémoires sans faute - R.-F. BIZEC - *La Recherche* n° 160 de novembre 1984.

intéressante pour certaines applications (mémoires dynamiques, registres à décalage), mais elle limite le temps de commutation du transistor car la charge et la décharge de la capacité de grille ne sont évidemment pas instantanées. Le transistor bipolaire, surtout en technologie T.T.L. Schottky (troisième partie, paragraphe III), permet au contraire d'accéder à des temps de propagation des signaux bien plus brefs.

Les transistors M.O.S. consomment peu, notamment dans la version C.M.O.S. (quatrième partie, paragraphe II), mais en revanche se comportent moins bien aux basses et hautes températures (certains circuits intégrés bipolaires sont garantis entre -55°C et $+125^{\circ}\text{C}$).

Troisième partie :

DE LA T.T.L. CLASSIQUE A LA T.T.L. SCHOTTKY

I. LE POINT DE DEPART : LA PORTE NON-ET EN D.T.L. (DIODE, TRANSISTOR, LOGIC).

A) Description.

La porte Non-*Et* réalise l'opération logique dont la table de vérité est représentée fig. 12 a. Il s'agit de l'opération inverse du produit booléen, ce qui justifie la notation utilisée. Cette fonction est dite complète, en ce sens qu'elle permet à elle seule de réaliser par des associations adéquates, n'importe quelle opération. Elle est mise en œuvre par le circuit de la fig. 12 b. Son symbole est représenté fig. 12 c.

A	B	$\overline{A \cdot B}$
0	0	1
0	1	1
1	0	1
1	1	0

fig. 12-a

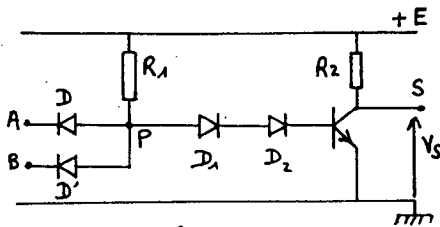


fig. 12-b

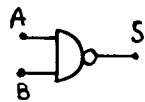


fig. 12-c

Fig. 12

B) Analyse du fonctionnement.

— Lorsque les deux entrées sont au niveau logique 1 ($V_A = V_B \simeq E$), les diodes d'entrée sont bloquées, le transistor est saturé et la sortie est au niveau logique 0 ($V_S \simeq 0$).

— Lorsqu'une entrée, au moins, est au niveau 0, la diode correspondante est passante, le point P est au potentiel de 0,7 V, ce qui bloque le transistor et porte la sortie au niveau 1.

La présence des diodes D_1 et D_2 se comprend en étudiant la caractéristique $V_S = f(V_P)$ pour une valeur donnée de R_2 (fig. 13).

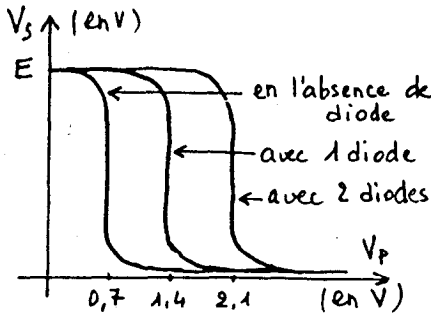


Fig. 13

Supposons B au niveau 1 et A au niveau 0. Si, pour une raison quelconque (et elles sont nombreuses dans un circuit de plus de 1 000 portes !) le potentiel de A passe à 1 V, celui de P devient égal à 1,7 V. La sortie bascule en l'absence de diode ou avec une diode, ce qui ne se produit pas avec deux diodes.

II. DE LA D.T.L. A LA T.T.L.

Nous allons montrer comment la recherche d'une plus grande rapidité dans la transmission de l'information a conduit à modifier la porte D.T.L. et a abouti à la T.T.L. On appelle temps de propagation dynamique, la durée qui s'écoule entre le moment où un ordre est appliqué à l'entrée d'une porte, et celui où la décision est disponible à la sortie. Ce temps n'est en général pas le même selon que la sortie passe de 0 à 1 ou de 1 à 0. Nous considérerons par la suite un temps de propagation dynamique moyen que nous noterons t_p .

A) Amélioration de la structure d'entrée.

1. UNE LIMITATION : LE TEMPS DE RECOUVREMENT DES DIODES.

Envisageons de nouveau l'ensemble des diodes D, D', D_1 et D_2 qui commandent le transistor de sortie de la porte D.T.L. (fig. 12 b).

La commutation de cc dernier, dans un sens comme dans l'autre, s'accompagne du passage d'une ou de plusieurs diodes de l'état conducteur à l'état bloqué (il s'agit de D_1 et D_2 lorsque le transistor se bloque, de D ou D' lorsqu'il se débloque). Un tel passage n'est pas instantané : durant la phase conductrice, des trous venant du semi-conducteur dopé positivement sont injectés dans la partie dopée négativement (fig. 14). Lorsqu'on inverse le sens de polarisation de la diode, ces trous doivent d'abord être évacués avant que le courant ne puisse s'annuler. Ce phénomène nécessite un temps de l'ordre de 20 à 30 ns, appelé temps de recouvrement (fig. 15 a et 15 b).

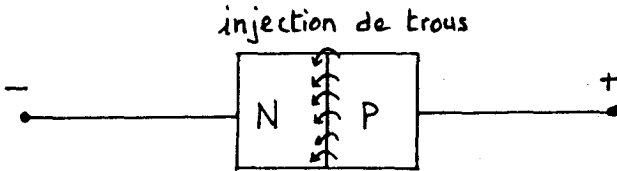


Fig. 14

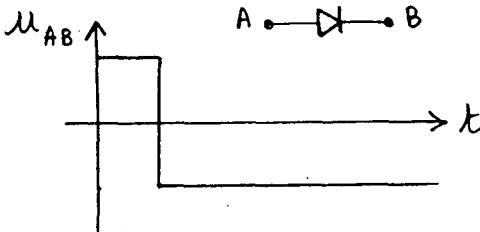


Fig. 15 a.

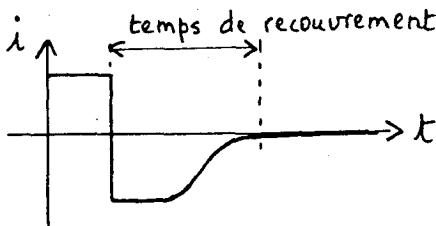


Fig. 15 b.

2. UNE ÉTAPE INTERMÉDIAIRE.

L'entrée de la porte T.T.L. s'effectue sur les émetteurs d'un transistor multi-émetteur (fig. 16 a), dont un montage équivalent réalisable en composants discrets est proposé fig. 16 b.

Raisonnons sur la fig. 16 a. Le transistor d'entrée T_1 est utilisé de façon peu habituelle. Lorsque les deux entrées sont au

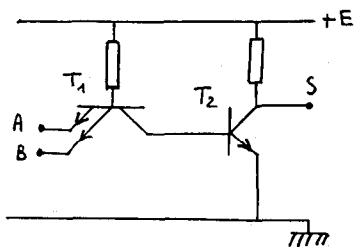


Fig. 16 a.

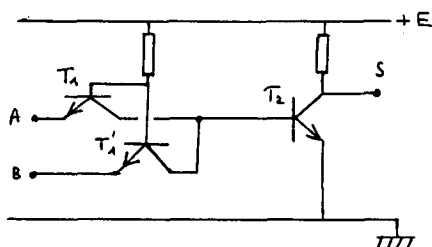


Fig. 16 b.

niveau 1, les jonctions base-émetteur sont bloquées, mais la jonction base-collecteur est passante et se comporte comme une diode; des trous sont donc stockés dans le collecteur de T_1 . D'autre part, le transistor T_2 est saturé. Lorsqu'une entrée passe au niveau 0, la jonction base-émetteur correspondante devient passante, tendant à créer un fort courant dans le collecteur de T_1 qui évacue les trous accumulés. Ce courant n'existe que pendant quelques nanosecondes car T_2 se bloque alors. L'effet d'amplification rend cette phase plus rapide que dans le cas d'une diode.

B) Amélioration de la structure de sortie.

Celle de la porte D.T.L. n'est guère favorable à l'attaque d'une charge capacitive (fig. 17 a), ce qui se produit pourtant fréquemment ne serait-ce qu'à cause des capacités parasites. Tout va bien lorsque la sortie passe du niveau haut au niveau bas. Le transistor évacue très rapidement les charges du condensateur, et V_S passe tout aussi rapidement au niveau bas (fig. 17 b). Au

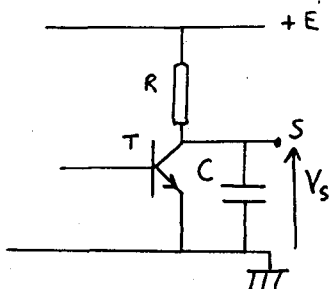


Fig. 17 a.

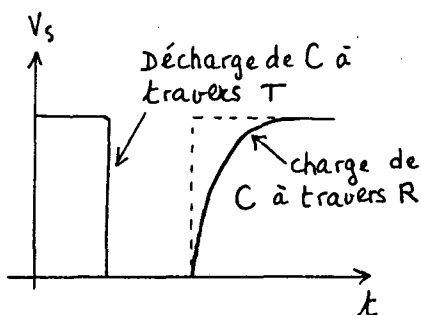


Fig. 17 b.

contraire, lorsque la sortie passe au niveau haut, le transistor se bloque et la capacité se charge à travers la résistance A avec une constante de temps $\tau = R.C$ (voir toujours fig. 17 b).

En T.T.L., on remplace R par un second transistor qui conduit lorsque S est au niveau haut, et qui charge la capacité bien plus rapidement (fig. 18 a et 18 b, paragraphe suivant).

C) La porte T.T.L. fondamentale.

Il s'agit donc d'une porte Non-Et représentée fig. 18 a (sortie basse) et 18 b (sortie haute). Les valeurs numériques des résistances et des intensités sont relatives à la porte 54/74 de Texas, qui est de loin la famille bipolaire la plus répandue actuellement (*).

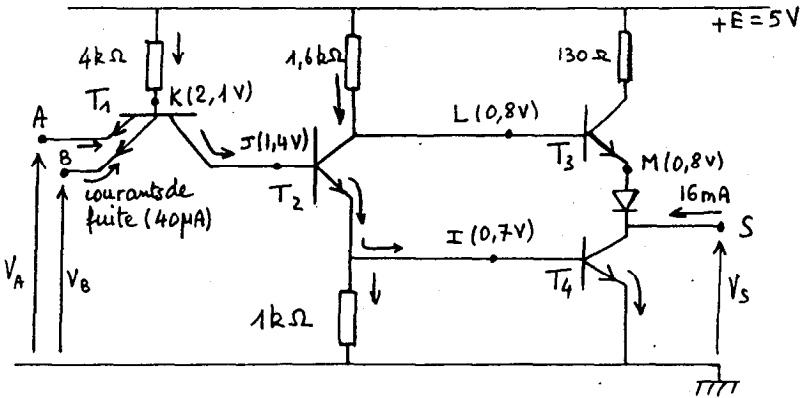


Fig. 18 a. — Toutes les entrées sont hautes.

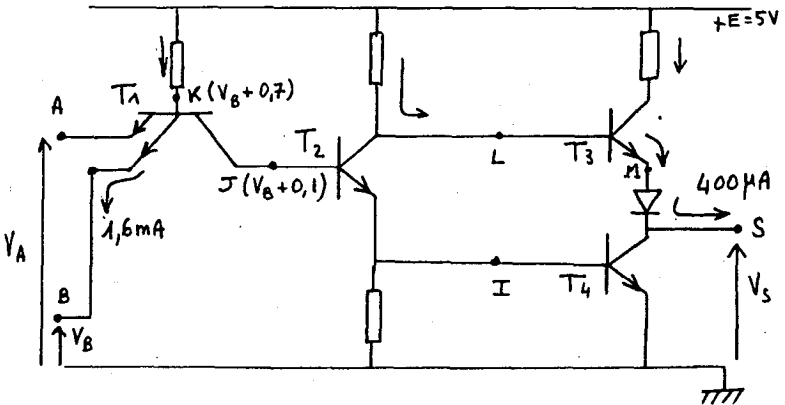


Fig. 18 b. — Une entrée, au moins, est basse.

(*) Les circuits des séries 54 et 74 se différencient par leur température de fonctionnement :
 — 55 à + 125 °C en série SN 54,
 0 à + 70 °C en série SN 74.

1. SI TOUTES LES ENTRÉES SONT HAUTES (fig. 18 a).

Nous avons vu (même partie, paragraphe II.A.2) que la jonction base-collecteur de T_1 est passante et que T_2 est saturé. T_4 l'est donc aussi et la sortie est basse : $V_S = V_{CE\text{ saturée}}$ de T_4 , soit environ 0,1 V. La sortie « extrait » un courant de l'entrée de la porte suivante (environ 16 mA). Remarquons qu'alors T_3 est bloqué. En effet, sa base et son émetteur sont au même potentiel, grâce précisément à la présence de la diode, dont c'est la seule raison d'être :

$$V_L = (V_{CE\text{ sat}} \text{ de } T_2) + (V_{BE} \text{ de } T_4) = 0,1 + 0,7 = 0,8 \text{ V,}$$

$$V_M = (V_{\text{seuil}} \text{ de la diode}) + V_{CE\text{ sat}} \text{ de } T_4 = 0,7 + 0,1 = 0,8 \text{ V.}$$

2.1. SI UNE ENTRÉE, AU MOINS, EST BASSE (fig. 18 b).

Comme nous l'avons vu (paragraphe II.A.2) de cette même partie), T_2 est bloqué. T_4 l'est donc aussi. Le potentiel de L augmente et T_3 est à saturation. La sortie est haute et elle « injecte » un courant dans l'entrée de la porte suivante (environ 400 μA).

3. RÉCAPITULATION.

Le montage admet deux régimes de fonctionnement stables. T_1 commande T_2 qui, en commutant, détermine l'état de T_3 et de T_4 , l'un étant saturé lorsque l'autre est bloqué. On atteint ainsi un temps de propagation dynamique de l'ordre de 10 ns.

Terminons ce paragraphe par deux remarques :

— La sortie de la porte peut attaquer l'entrée de 10 autres de

$$\text{même nature (niveau haut } \frac{400 \mu\text{A}}{40 \mu\text{A}} = 10; \text{ niveau bas } \frac{16 \text{ mA}}{1,6 \text{ mA}} = 10). \text{ Ce nombre définit la sortance de la porte.}$$

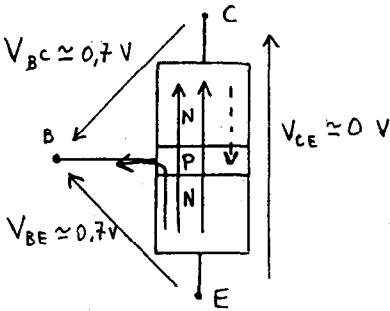
— Bien qu'on ait conçu d'autres portes logiques en T.T.L., ces dernières sont peu importantes et peu utilisées.

III. LA T.T.L. SCHOTTKY : ENCORE PLUS RAPIDE.

A) Le phénomène de saturation : une limitation à la vitesse de commutation des transistors.

Reprenons les conclusions du montage émetteur commun, déjà envisagées au paragraphe I.C. de la première partie. Lorsque I_B est suffisamment grand, on a $V_{BE} \simeq 0,7 \text{ V}$ et $V_{CE} \simeq 0$. Par conséquent V_{BC} est très voisin de 0,7 V. La jonction base-collecteur est polarisée dans le sens direct par une tension proche de la tension de seuil. Des électrons, porteurs majoritaires du collecteur, diffusent « à contre courant » dans la base (fig. 19). On dit que celle-ci se sature en porteurs minoritaires (les majoritaires

de la base sont les trous). Ils devront préalablement être évacués avant que le transistor ne se bloque, ce qui limite sa vitesse de commutation.



Traits pleins : sens des électrons responsables des courants I_C et I_B

Traits pointillés : diffusion d'électrons dans la base.

Fig. 19

B) Pour éviter la saturation : diode et transistor Schottky.

L'astuce permettant d'éviter la saturation est connue depuis 1956, date à laquelle on eut l'idée de placer une diode au germanium en parallèle sur la jonction base-collecteur (fig. 20 a). En entrant en conduction dès que V_{BC} atteint 0,3 V (tension de seuil d'une diode au germanium), la diode empêche la saturation de la base en porteurs minoritaires. La solution n'est pourtant pas idéale, tout d'abord parce que le temps de recouvrement limitera quand même la rapidité de commutation, ensuite parce qu'on ne peut pas intégrer un composant au germanium sur un circuit au silicium. Aujourd'hui on utilise la diode Schottky (fig. 20 b) : jonction métal-semi-conducteur faiblement dopé par des impuretés de type N. Son seuil se situe entre 0,3 et 0,4 V. Une fois intégré, l'ensemble porte le nom de transistor Schottky et se représente par le symbole de la fig. 20 c).

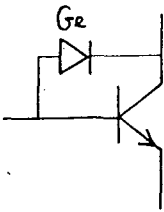


Fig. 20 a.

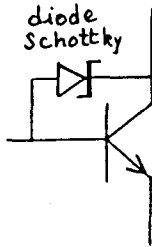
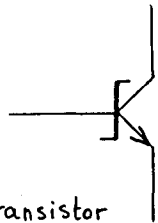


Fig. 20 b.



transistor schottky

Fig. 20 c.

C) Les portes en T.T.L. Schottky.

Elles dérivent des portes T.T.L. auxquelles on a substitué les transistors par des transistors Schottky. Nous n'entrerons pas dans le détail des nombreuses variantes existant.

IV. COMPARAISON DES PERFORMANCES DES PORTES D.T.L., T.T.L., ET T.T.L. SCHOTTKY.

En augmentant la valeur des résistances, on peut transformer les portes fondamentales et les rendre moins rapides, mais de moindre consommation. L'inverse est également possible et l'on peut gagner en rapidité en augmentant la puissance consommée. Le tableau ci-après résume les performances des portes fondamentales et de quelques-unes de leurs variantes. Dans la troisième colonne est porté le « facteur de qualité », produit du temps de propagation et de la consommation. Il s'exprime en picojoule et est assez représentatif des performances d'une porte lorsque l'application envisagée ne nécessite pas une très grande rapidité d'exécution.

Nature de la porte	t_p (ns)	consommation (mW)	facteur de qualité (pJ)
D.T.L.	25	8	200
fondamentale	10	10	100
T.T.L. basse consommation	33	1	33
haute consommation	6	22	132
T.T.L. Schottky fondamentale	3	20	60
basse consommation	9,5	2	19

Quatrième partie :

QUELQUES CIRCUITS DE BASE UTILISANT LES TRANSISTORS M.O.S.

I. CIRCUITS LOGIQUES A TRANSISTORS M.O.S. CANAL N.

Aucune confusion n'étant possible, nous utiliserons le dernier schéma présenté fig. 4 c.

A) L'inverseur.

L'inversion logique associée à une variable A (0 ou 1), son inverse noté \bar{A} (1 ou 0). Son symbole est représenté fig. 21 a. Un montage qui permettrait de la réaliser a été étudié en première partie, paragraphe II.B.3. En effet, si la grille est à un potentiel bas, le transistor est bloqué et la sortie est haute ;

inversement, si l'entrée est haute, le transistor conduit et la sortie est basse. Mais nous avons remarqué qu'une forte résistance était nécessaire pour obtenir une franche commutation du transistor (disons 50 k Ω). Or l'intégration d'un élément semi-conducteur présentant une telle résistance, bien que possible, nécessite une surface de silicium environ 100 fois supérieure à celle d'un transistor M.O.S. On a donc été conduit au montage de la fig. 21 b que nous allons analyser.

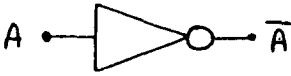


Fig. 21 a.

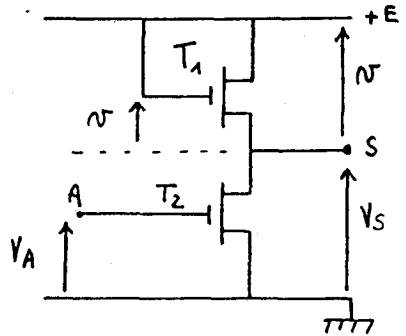


Fig. 21 b.

— V_A au niveau 1 : T_2 conduit et $V_S \approx 0$ V,

— V_A au niveau 0 : T_2 est bloqué et T_1 l'est aussi, par la force des choses. Sa tension de grille v est égale à la tension de seuil V_0 et $V_S = E - V_0$; la sortie est haute.

Notons que si la sortie haute attaque une porte de même nature, la très forte résistance d'entrée de cette dernière rend négligeable le courant débité par la première porte et le niveau de sortie ne subit donc aucune dégradation.

B) Les portes NI et NON ET.

Leur table de vérité, leur symbole et leur schéma sont représentés fig. 22 a-b-c et fig. 23 a-b-c. L'analyse de leur fonctionnement se fait sans difficulté lorsqu'on a compris celui de l'inverseur.

Signalons pour terminer ce paragraphe, que l'opération Ni est l'inverse de la somme booléenne, ce qui justifie sa notation. Il s'agit d'autre part d'une opération complète, au même titre que la fonction NON ET.

A	B	$\overline{A+B}$
0	0	1
0	1	0
1	0	0
1	1	0

Fig. 22 a.

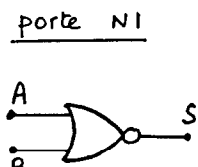


Fig. 22 b.

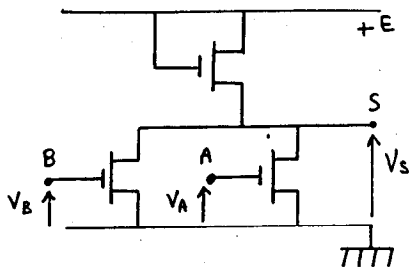


Fig. 22 c.

A	B	$\overline{A \cdot B}$
0	0	1
0	1	1
1	0	1
1	1	0

Fig. 23 a.

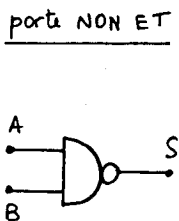


Fig. 23 b.

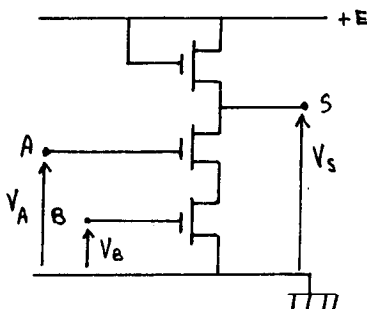


Fig. 23 c.

II. LA TECHNOLOGIE M.O.S. COMPLEMENTAIRES OU C.M.O.S.

Les portes sont constituées de l'association d'un transistor M.O.S. canal N et d'un M.O.S. canal P. Rappelons qu'un M.O.S. canal P est alimenté avec une tension de source supérieure à la tension de drain. Sa tension de seuil V_0 est négative. Il est bloqué si $V_G > V_0$, conducteur si $V_G < V_0$.

A) L'inverseur C.M.O.S.

1. DESCRIPTION.

Son schéma est donné fig. 24.

* V_A au niveau 0 :

le N.M.O.S. est bloqué, mais la grille du P.M.O.S. est à un potentiel inférieur à celui de la source. Le P.M.O.S. est sur le point de conduire (il conduirait si la sortie pouvait débiter sur une charge), et V_S est au niveau 1.

* V_A au niveau 1 :

c'est l'inverse qui se produit, le P.M.O.S. est bloqué et le N.M.O.S. prêt à conduire. V_S est au niveau 0.

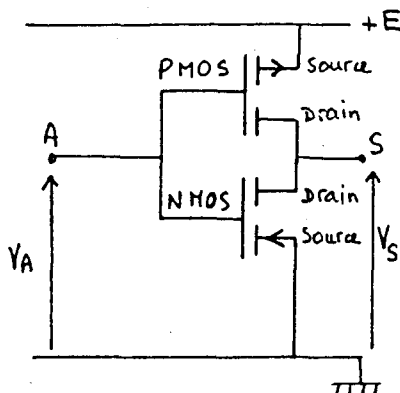


Fig. 24

2. PERFORMANCES.

Nous avons déjà signalé la très faible consommation des portes C.M.O.S. (deuxième partie, paragraphe III.C). En effet, un transistor étant toujours bloqué, seul un infime courant peut circuler (inférieur à 1 nA). Cependant la consommation n'est pas totalement négligeable en raison de deux phénomènes intervenant au moment de la commutation.

— Une pointe de courant se produit durant un bref instant car un transistor devient conducteur alors que l'autre n'est pas encore bloqué.

— Lorsqu'une telle porte attaque une autre de même nature, la capacité grille-substrat se charge et se décharge à chaque commutation.

Ainsi la puissance consommée par l'inverseur est une fonction croissante de la fréquence de travail, de la valeur de la capacité grille-substrat et de la tension d'alimentation (très exactement $P = C \cdot E^2 \cdot f$). On peut citer les performances suivantes, relatives à la version la plus courante, travaillant sous 5 V et à 1 MHz : puissance consommée : 0,1 mW ; temps de propagation dynamique : 30 ns. Le facteur de qualité de 3 pJ peut être avantageusement comparé à celui des familles bipolaires.

En utilisant comme élément de base un transistor M.O.S. un peu plus sophistiqué que celui que nous avons décrit dans la

première partie, on parvient en technologie C.M.O.S. à des performances tout à fait remarquables : facteur de qualité nettement inférieur à 1 pJ, temps de propagation dynamique comparable à celui de la porte T.T.L. Schottky.

B) Porte NI (fig. 25).

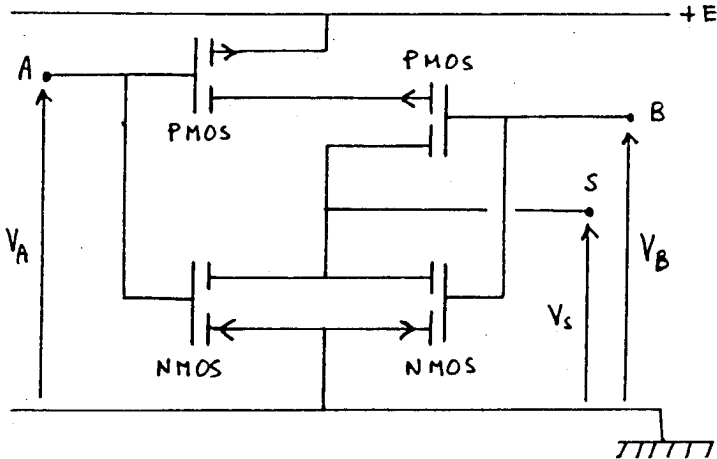


Fig. 25

— Si A ou B est au niveau 1, le P.M.O.S. correspondant est bloqué, mais le N.M.O.S. en parallèle est prêt à conduire. V_S est donc au niveau 0.

— Si A et B sont au niveau 0, les deux P.M.O.S. conduisent et V_S est au niveau 1. Les deux N.M.O.S. sont alors bloqués.

On réalise bien ainsi la fonction Ni.

C) La porte NON ET (fig. 26).

— Si A ou B est au niveau 0, le P.M.O.S. correspondant est conducteur et place la sortie au niveau 1. Le N.M.O.S. situé en parallèle est alors bloqué.

— Si A et B sont au niveau 1, les deux P.M.O.S. sont bloqués, mais les deux N.M.O.S. sont conducteurs, ce qui fixe la sortie au niveau 0.

On a bien ainsi réalisé la fonction Non-Et.

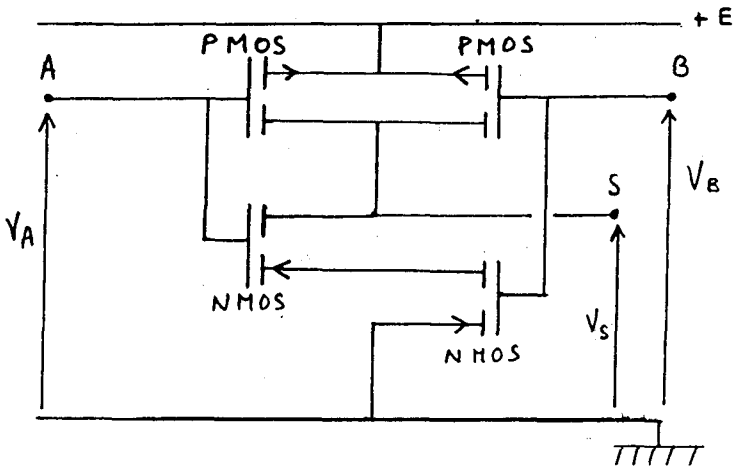


Fig. 26

III. CELLULES-MEMOIRES A TRANSISTORS M.O.S.

Traiter du principe de fonctionnement des différents types de mémoires en un paragraphe est évidemment impossible. Mais il peut être intéressant, après avoir étudié les transistors M.O.S., de donner rapidement un aperçu de deux types de cellules dans lesquelles ils sont couramment utilisés. On désigne sous le nom de R.A.M. (Random Access Memory = mémoire à accès aléatoire), des mémoires présentant les deux caractéristiques suivantes :

- * On peut à tout moment lire ou écrire une information, contrairement aux R.O.M. (Read Only Memory = Mémoire à lecture seule).

- * Chaque point-mémoire est directement accessible à partir de ce qu'on appelle son adresse, ce qui correspond en fait à ses coordonnées. Elles se distinguent en ce sens des mémoires à accès séquentiel où les informations ne peuvent être lues ou enregistrées que les unes après les autres.

A) Les R.A.M. statiques (fig. 27).

T_1 et T_2 constituent ce qu'on appelle une bascule ; la raison apparaîtra clairement lors de la description de son fonctionnement. T_3 et T_4 remplacent les résistances de charge (même partie, paragraphe I. A).

1. FONCTIONNEMENT DE LA BASCULE.

Faisons pour l'instant abstraction du transistor T_5 .

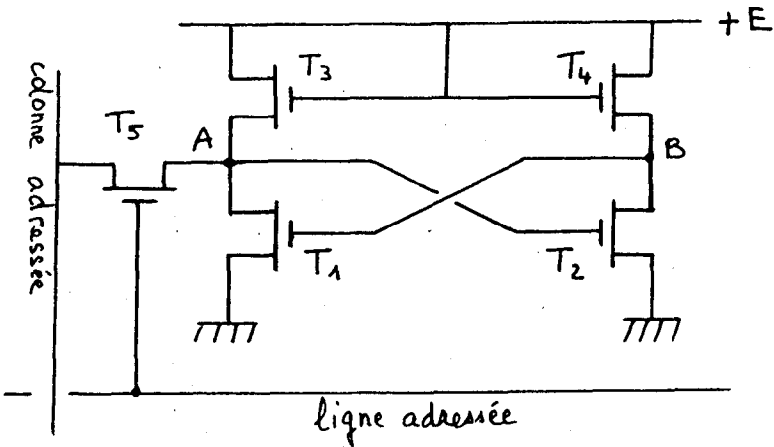


Fig. 27

— Supposons que d'une façon ou d'une autre, on impose au point A un potentiel haut. T_2 est alors conducteur et B est au potentiel bas. T_1 est bloqué, ce qui maintient A au niveau haut. Le système est stable : A au niveau logique 1, B au niveau 0.

— Il est évident qu'il existe un deuxième état stable ; A étant au niveau 0, B au niveau 1.

Un tel système, encore appelé flip-flop, permet de conserver une information en mémoire indéfiniment (d'où le nom de mémoire statique), à condition qu'il reste alimenté.

2. ECRITURE D'UNE INFORMATION.

Une impulsion est envoyée sur la ligne, ce qui débloque le transistor T_5 . Simultanément, l'information est envoyée sur la colonne. S'il s'agit d'un potentiel haut, A mémorise un 1 ; si c'est un potentiel bas, A mémorise un 0.

3. LECTURE D'UNE INFORMATION.

Elle se fait de façon similaire. Une impulsion sur la ligne débloque T_5 , et l'on détecte sur la colonne le potentiel de A.

La cellule de base des R.A.M. statiques comportant cinq transistors est relativement encombrante. Elle n'est guère utilisée pour des mémoires de capacité supérieure à 16 K.

B) Les R.A.M. dynamiques (fig. 28).

1. LA CAPACITÉ DRAIN-SUBSTRAT.

Tout transistor M.O.S. possède un certain nombre de capacités parasites encore appelées capacités de structure. Nous avons

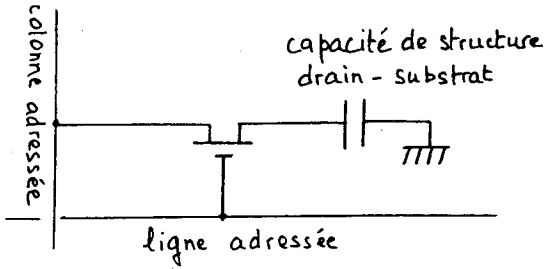


Fig. 28

déjà signalé la capacité grille-substrat. Elles sont mises à profit dans l'élaboration des mémoires dynamiques. L'information binaire correspond ici à la présence ou à l'absence de charges stockées dans la capacité drain-substrat du transistor M.O.S. Sa valeur est inférieure à 1 pF.

2. ECRITURE ET LECTURE.

L'écriture se fait en envoyant une impulsion sur la ligne, ce qui débloque le transistor. La capacité peut être chargée ou déchargée par l'intermédiaire de la colonne.

Même processus pour la lecture : en débloquent le transistor, on peut détecter la présence ou l'absence de charge dans la capacité, par l'intermédiaire de la colonne.

3. RAFRAÎCHISSEMENT.

A cause des courants de fuite, une information ne reste en mémoire que pendant une durée limitée (5 à 10 ms). Ce temps, très court à notre échelle, est en fait beaucoup plus long que le temps d'accès à la mémoire (100 à 400 ns). D'autre part, la lecture est destructive : celle d'un 1 évacue les charges stockées. Il est donc nécessaire dans ce type de mémoires qualifiées pour ces raisons de dynamiques, de régénérer périodiquement les informations au cours d'un processus appelé « rafraîchissement ». Il est effectué pour chaque cellule toutes les 2 à 3 ms. Cette contrainte est largement compensée par les avantages que procure la présence d'un seul transistor, et donc par les densités d'intégration qu'on peut ainsi atteindre. Les mémoires dynamiques ne sont utilisées qu'à partir de 16 K, et permettent d'atteindre facilement les 64 K.

C) Aperçu de l'organisation générale d'une mémoire.

L'élément de base est une matrice constituée par un certain nombre de lignes et de colonnes, à l'intersection desquelles se trouve une cellule-mémoire semblable à celles que nous venons de décrire. La mémoire représentée fig. 29 a une capacité de 16 bits, ridiculement faible, et qui ne peut que servir d'exemple. Un système de sélection permet de mettre en communication une cellule d'adresse donnée avec le milieu externe à la mémoire, tout en maintenant les autres isolées.

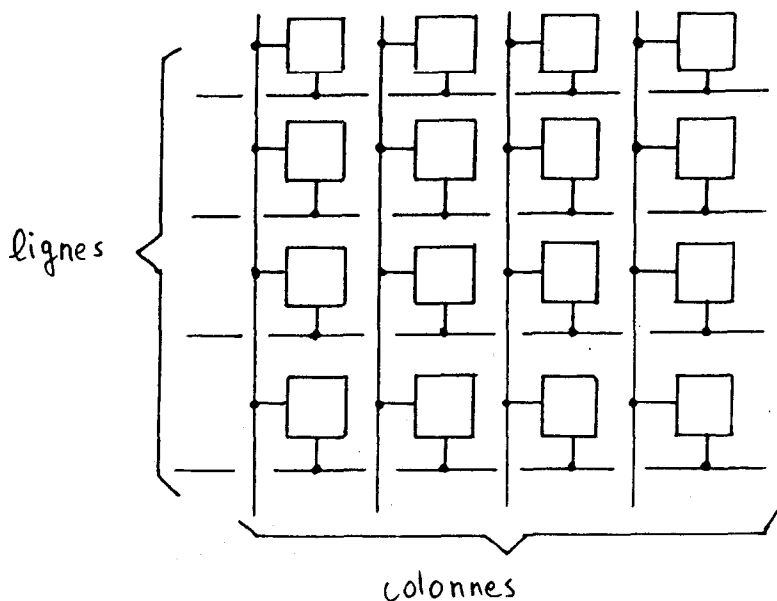


Fig. 29

Conclusion :

COUP D'OEIL SUR LE PRESENT ET SUR L'AVENIR

La lecture de ce qui précède pourrait laisser croire que le transistor bipolaire va rapidement disparaître au profit du transistor M.O.S., tant les avantages des technologies utilisant ces derniers semblent prépondérants. Il n'en est pourtant rien. Nous avons présenté ici les circuits les plus courants et aussi les plus simples. Il existe bien d'autres familles ou variantes présentant

chacune une spécificité donnée. Citons pour mémoire les familles bipolaires suivantes :

— Logique à couplage par les émetteurs (E.C.L.) : il s'agit de la famille actuellement la plus rapide ($t_p = 1$ ns). Elle permet la réalisation de mémoires statiques très rapides (temps d'accès voisin de 15 ns), mais le prix et la consommation sont élevés et la densité d'intégration faible.

— Logique intégrée à injection (I.I.L. ou I²L) : elle permet une densité d'intégration comparable à celle des circuits M.O.S. et une consommation de l'ordre de celle des C.M.O.S.

Il ressort de ces deux exemples que le transistor bipolaire a encore de belles années devant lui.

Les recherches en matière de micro-électronique se poursuivent pourtant inlassablement, et débouchent dans de nombreuses directions.

— On sait réaliser des mémoires dynamiques à très haute intégration ainsi que des registres à décalage à l'aide des dispositifs à couplage de charge, dont le principe, consistant à piéger des charges à l'intérieur d'un semi-conducteur grâce au champ électrique d'une électrode, est bien plus simple que celui du transistor.

— Les mémoires à bulles magnétiques offrent également une très grande densité d'intégration (couramment 4 Méga-bit). Elles restent plus chères que les R.A.M. et ont un temps d'accès supérieur (environ 40 ms).

— Le « roi-silicium » est lui aussi menacé (*). Pour les applications nécessitant une très grande rapidité, on envisage très sérieusement de le remplacer par des semi-conducteurs III.V. Il s'agit d'alliages utilisant un élément de la 3^e colonne et un de la 5^e. Les circuits sur matériaux III.V. à l'arséniure de gallium (Ga-As) ont franchi le stade du pré-développement industriel. Leur rapidité est essentiellement due à trois facteurs :

- 1) Plus grande mobilité des électrons.
- 2) Mise à profit d'un régime transitoire pendant lequel les électrons ont une vitesse supérieure à leur valeur d'équilibre.
- 3) Elaboration d'un transistor très rapide : le T.E.G.F.E.T.

Nous avons essentiellement évoqué ici les progrès que les circuits intégrés ont fait réaliser à l'informatique, mais des

(*) Les nouveaux composants de l'électronique rapide - R. CASTAGNÉ - *La Recherche* n° 165, avril 1985.

montres à quartz aux télécommunications, les applications les plus variées ne manquent pas.

N'oublions pas, pour terminer, que ce prodigieux développement de la micro-électronique n'est en fin de compte possible que grâce à l'ordinateur, aux simulations d'expériences qu'il permet et à son aide à la conception.

BIBLIOGRAPHIE

OUVRAGES GÉNÉRAUX :

- J. AUVRAY. — *Electronique des signaux échantillonnés et numériques*, Dunod Université 1979.
- J.-P. BOUHOT, G. COTTIN, J. TRICOT. — *Microprocesseurs et conception des petits ordinateurs*, Editions d'informatique 1982.
- H. LILEN. — *Circuits intégrés numériques : principes et applications*, Editions Radio 1978.
- H. LILEN. — *Circuits intégrés J.F.E.T., M.O.S., C.M.O.S. Principes et applications*, Editions Radio 1979.
- H. LILEN. — *Mémoires pour microprocesseurs et micro-ordinateurs*, Editions Radio 1983.

ARTICLES :

- R.-F. BIZEC. — La course aux mémoires sans faute - *La Recherche* n° 160, novembre 1984.
- R. CASTAGNÉ. — Les nouveaux composants de l'électronique rapide - *La Recherche* n° 165, avril 1985.
- J.-L. LARDY. — La micro-électronique à très grande intégration - *La Recherche* n° 116, novembre 1980.
- J.-M. ROLANDO. — Une initiation à la conception du matériel en informatique : l'exemple de l'élaboration d'un additionneur binaire - *B.U.P.* n° 686 : juillet - août - septembre 1986.

ENCYCLOPÉDIE :

- Article : Circuits logiques intégrés. Ouvrage d'électronique - Collection : techniques de l'ingénieur.
-