

## Une initiation à la conception du matériel en informatique :

L'EXEMPLE DE L'ELABORATION D'UN ADDITIONNEUR BINAIRE

par Jean-Michel ROLANDO,  
Châlons-sur-Marne.

---

### INTRODUCTION.

Les ordinateurs nous envahissent ! Devant l'extraordinaire développement que connaît l'informatique, devant les passions qu'elle suscite chez les jeunes collégiens, lycéens ou étudiants, nous nous trouvons face à une alternative que nous ne pouvons ignorer : ou bien l'école saura répondre aux besoins de formation exprimés par les jeunes, ou bien ceux-ci iront la chercher ailleurs. Mais alors que beaucoup d'enseignants, conscients de l'ampleur du phénomène et du rôle qu'ils auront à jouer se sont formés à la programmation, très peu se sont initiés à l'aspect technique de l'informatique. Risquons une comparaison. De même qu'il est possible de conduire une automobile avec maîtrise en ignorant tout de la mécanique, il est possible d'être un excellent programmeur sans rien connaître à la micro-électronique. Mais tout conducteur possédant un minimum d'esprit scientifique, s'efforcera de comprendre au moins le principe et la raison d'être des organes essentiels de son véhicule. Il doit en être de même en informatique. Affaire de spécialiste, dira-t-on ? Tout dépend de notre ambition. Nous ne prétendons pas expliquer ici le fonctionnement complet d'un ordinateur, mais plus modestement de montrer que quelques notions simples de logique et d'électronique suffisent pour comprendre comment est réalisée une opération courante : l'addition de deux nombres en système de numération binaire.

Cet article aura atteint son but s'il incite le lecteur enseignant, physicien ou non, animateur de « club informatique », à aller plus loin dans la compréhension du fonctionnement des

ordinateurs, ou s'il donne au professeur de sciences physiques enseignant en 2<sup>nd</sup>e quelques idées nouvelles pour illustrer les applications de la diode et du transistor.

Terminons en donnant les références des éléments avec lesquels ces montages ont été testés :  
 Transistors 2 N 2219,  
 Diodes 1 N 4007.

### POSITION DU PROBLEME.

Les seules informations utilisables par l'ordinateur sont celles qui lui sont données à l'aide des deux valeurs 0 et 1. C'est ce qui justifie l'utilisation exclusive du système de numération binaire dans la suite. Supposons qu'on veuille additionner deux nombres de trois chiffres en base 2. Pour adopter une convention chère aux mathématiciens, nous désignerons par  $\overline{x_3x_2x_1}$  et  $\overline{y_3y_2y_1}$  ces deux nombres. Le schéma de principe de la machine qui réalisera ce calcul est donné fig. 1. Le problème consiste alors à concevoir :

- un système appelé « demi-additionneur », effectuant l'addition de deux chiffres en binaire,
- un système appelé « additionneur », effectuant l'addition de trois chiffres en binaire.

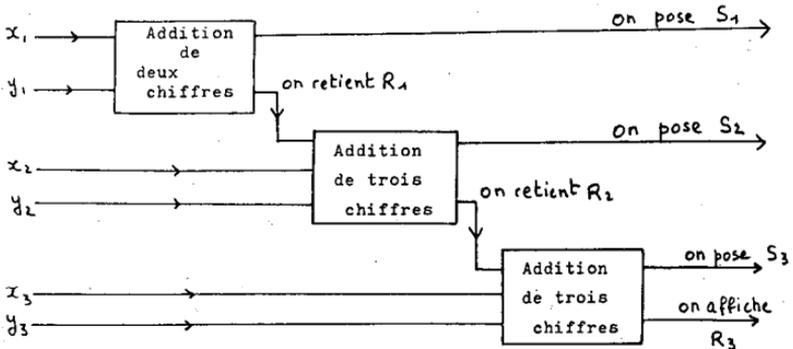


Fig. 1

### Première partie :

### CINQ PORTES FONDAMENTALES

#### A) QUELQUES NOTIONS DE LOGIQUE.

Les grands logiciens du XIX<sup>e</sup> siècle (BOOLE, DE MORGAN, VENN, DODGSON alias Lewis CARROLL...) ont montré que les opérations les plus complexes peuvent se décomposer en une succession

d'opérations simples (NON, OU, ET). Ultérieurement, la mise en œuvre des circuits logiques a nécessité l'introduction de deux autres opérations (NI, Non-ET) (1). Nous adoptons la convention selon laquelle une proposition  $x$  prend la valeur logique 1 si elle est vraie, 0 si elle est fausse. Nous donnons ci-après les tables de vérité de ces cinq opérations fondamentales.

*Opération NON ou inversion (2).*

L'inverse de la proposition  $x$  est noté  $\bar{x}$ .

$x$	$\bar{x}$
0	1
1	0

*Opération OU ou somme booléenne.*

Cette somme ne doit pas être confondue avec la somme arithmétique. En particulier, on a ici  $1 + 1 = 1$ .

$x$	$y$	$x+y$
0	0	0
0	1	1
1	0	1
1	1	1

*Opération ET ou produit booléen.*

$x$	$y$	$x \cdot y$
0	0	0
0	1	0
1	0	0
1	1	1

*Opération NI.*

Cette opération, inverse de la somme booléenne, est notée  $\overline{x+y}$ .

$x$	$y$	$\overline{x+y}$
0	0	1
0	1	0
1	0	0
1	1	0

*Opération Non-ET.*

Cette opération, inverse du produit booléen, est notée  $\overline{x \cdot y}$ .

$x$	$y$	$\overline{x \cdot y}$
0	0	1
0	1	1
1	0	1
1	1	0

(1) Beaucoup d'ouvrages utilisent l'appellation anglo-saxonne pour ces opérations logiques : NO, OR, AND, NOR, NAND.

(2) La rigueur mathématique réserve le terme d'opération à une combinaison agissant sur deux opérands. L'inversion n'est donc pas une opération, ce qui ne nous gênera nullement pour la suite.

Il est intéressant d'établir une analogie entre les opérations logiques et celles sur les ensembles. On obtient le tableau de correspondance suivant, qu'on démontre sans peine à l'aide d'un diagramme de VENN (fig. 2).

Opération logique	Opération sur les ensembles
$x+y$	$A \cup B$
$x \cdot y$	$A \cap B$
$\overline{x+y}$	$C_{A \cup B}^E$
$\overline{x \cdot y}$	$C_{A \cap B}^E$

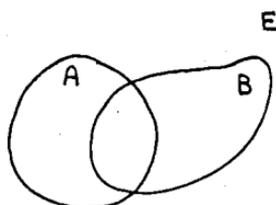


Fig. 2

Terminons ce paragraphe en indiquant quelques propriétés que le lecteur démontrera sans peine à l'aide d'une table de vérité ou d'un diagramme de VENN. Nous aurons à les utiliser par la suite.

$$(1) \quad x \cdot \bar{x} = 0.$$

$$(2) \quad x + \bar{x} = 1.$$

$$(3) \quad \overline{x \cdot y} = \bar{x} + \bar{y} \quad \left. \vphantom{\begin{matrix} (3) \\ (4) \end{matrix}} \right\} \text{Théorèmes de DE MORGAN.}$$

$$(4) \quad \overline{x + y} = \bar{x} \cdot \bar{y}$$

$$(5) \quad x \cdot (y + z) = x \cdot y + x \cdot z.$$

## B) UN PEU D'ELECTRONIQUE.

Ce paragraphe est destiné au lecteur peu familiarisé avec l'utilisation de la diode et du transistor. Nous ne ferons aucune théorie des semi-conducteurs. Nous nous contenterons d'indiquer comment le comportement de ces éléments peut être décrit par un réseau de courbes appelées caractéristiques, qu'il est facile d'obtenir expérimentalement.

### 1. Caractéristique d'une diode au silicium (fig. 3).

Une diode ne peut laisser passer le courant que dans un sens et la tension à ses bornes ne diffère alors guère de 0,7 V. La diode est dite « passante ».

Lorsque la diode s'oppose au passage du courant ( $U_{AB} < 0,7 \text{ V}$ ), elle est dite « bloquée ».

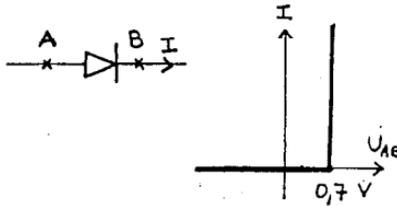


Fig. 3

## 2. Caractéristique d'un transistor NPN au silicium.

Un transistor est un élément semi-conducteur à trois bornes. Les courants, lorsqu'il y en a, circulent toujours dans le sens indiqué fig. 4, ce qui fixe de façon univoque le signe des tensions.

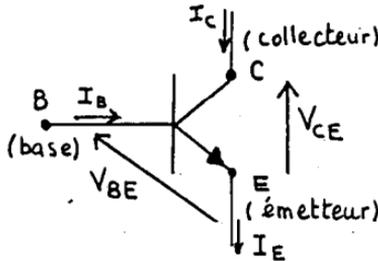


Fig. 4

Donnons à titre indicatif quelques ordres de grandeur relatifs aux transistors donnés en référence :

$I_B$  : de quelques dizaines à quelques centaines de  $\mu\text{A}$ .

$I_C$  : de quelques dizaines à quelques centaines de mA.

Ces valeurs numériques montrent qu'on peut assimiler  $I_E$  et  $I_C$  sans commettre d'erreur notable.

Considérons le montage de la fig. 5. En faisant varier les tensions d'alimentation  $E$  et  $E'$  et en insérant les instruments

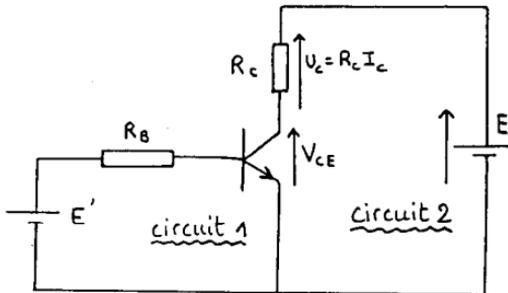


Fig. 5

de mesure appropriés qui n'ont pas été représentés, on peut relever les valeurs numériques conduisant au tracé des caractéristiques présentées fig. 6, 7 et 8.

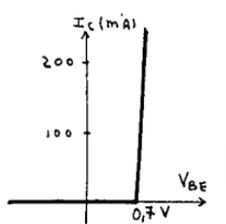


Fig. 6

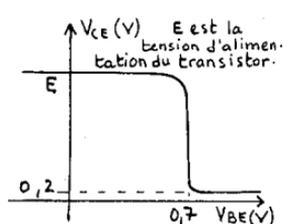


Fig. 7

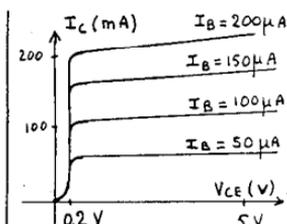


Fig. 8

La courbe présentée fig. 6 est en fait dépendante du paramètre  $V_{CE}$ . Cependant, lorsque celui-ci varie, la forme générale de la caractéristique est assez peu affectée et les raisonnements essentiellement qualitatifs que nous ferons ne souffriront pas de cette simplification.

La même remarque s'applique à la courbe de la fig. 7 qui dépend du paramètre  $I_B$ .

Les valeurs numériques sont données à titre indicatif, mais sont tout à fait significatives des transistors utilisés. En particulier, la valeur de  $V_{BE}$  à laquelle se situent les ruptures de pente dans les courbes des fig. 6 et 7, reste très voisine de 0,7 V. Nous verrons par la suite que cette valeur joue un rôle important.

### 3. Interprétation des caractéristiques du transistor.

a) On peut commander le courant  $I_C$  par une tension  $V_{BE}$  supérieure à 0,7 V. On notera que  $I_C$  peut devenir très grand alors que  $V_{BE}$  est à peine supérieure à 0,7 V (fig. 6).

b) On peut commander la tension  $V_{CE}$  par la tension  $V_{BE}$  (fig. 7). On notera de même qu'une faible variation de  $V_{BE}$  autour de 0,7 V, provoque une brutale variation de  $V_{CE}$  entre les valeurs de E (tension d'alimentation du transistor) et 0,2 V (appelée tension de déchet), dans un sens ou dans l'autre. On dit qu'il y a commutation du transistor.

c) La fig. 8 montre comment varie le courant  $I_C$  en fonction de la tension  $V_{CE}$  pour différentes valeurs du courant de base  $I_B$ . Il est intéressant de compléter cette caractéristique en étudiant plus précisément le montage de la fig. 5. Ce montage, appelé « émetteur commun », sera rencontré fréquemment par la suite.

Le circuit 1 sert à commander le circuit 2, appelé circuit de charge.

En écrivant la loi des tensions dans le circuit de charge, on obtient :

$$E - R_C I_C - V_{CE} = 0.$$

Soit :

$$I_C = \frac{E}{R_C} - \frac{V_{CE}}{R_C}.$$

$E$  et  $R_C$  étant des paramètres fixés, l'équation précédente est celle d'une droite dans le graphe ( $I_C$ ,  $V_{CE}$ ). On l'appelle droite de charge (fig. 9). Pour une valeur donnée de  $I_B$  (fixée par le circuit de commande), on détermine  $I_C$  et  $V_{CE}$  par intersection de la caractéristique et de la droite de charge.

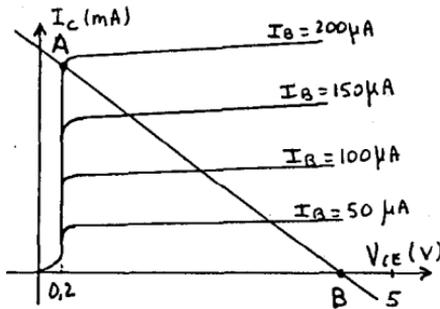


Fig. 9

Cas particuliers :

- \*  $I_B \rightarrow 0 \Rightarrow I_C \rightarrow 0$  et  $V_{CE} \rightarrow E$   
(point B du graphique).
- \* Pour  $I_B$  suffisamment grand,  
 $V_{CE} \rightarrow 0,2$  V (point A du graphique).

d) Conclusion :

Nous nous bornerons à tirer celle qui nous guidera par la suite : la tension  $V_{CE}$  peut être commandée par la tension  $V_{BE}$  ou, ce qui revient au même, par le courant  $I_B$ .

\*  $V_{CE} = 0,2$  V si  $I_B$  est suffisamment grand, ou si  $V_{BE}$  dépasse légèrement 0,7 V. Le transistor est dit « saturé » ;  $I_C$

atteint sa limite supérieure  $\frac{E}{R_C}$ .

\*  $V_{CE} = E$  si  $I_B = 0$  ou si  $V_{BE}$  n'atteint pas 0,7 V. Le transistor est dit « bloqué » car  $I_C = 0$ .

### C) LES CIRCUITS LOGIQUES REALISANT LES CINQ OPERATIONS FONDAMENTALES.

#### 1. Généralités.

Le schéma de principe d'un circuit logique est donné fig. 10. Les entrées et la sortie doivent représenter une variable booléenne. Nous adopterons la convention de la « logique positive » selon laquelle le niveau logique 1 correspond à la tension la plus élevée, et le niveau logique 0 à la tension la plus faible.

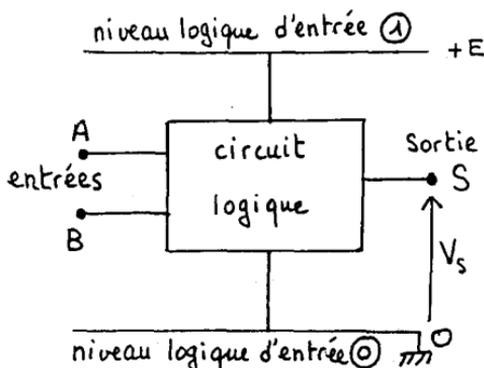


Fig. 10

Dans les montages que nous allons proposer, les entrées seront donc connectées soit à la borne  $+E$ , soit à la masse. Le niveau logique de la sortie sera déterminé par le potentiel du point  $S$  :

- niveau logique 1 si  $V_S$  est égal ou peu différent de  $E$ ,
- niveau logique 0 si  $V_S$  est égal ou peu différent de 0.

Les électroniciens appellent « portes » les circuits réalisant les opérations logiques fondamentales. Les portes ET et OU que nous allons présenter souffrent d'un inconvénient empêchant leur utilisation industrielle. Nous décrirons les portes NON et NI de la technologie RTL (Résistor, Transistor Logic) et la porte Non-ET de la technologie DTL (Diode, Transistor Logic). Ces deux familles ont eu leur heure de gloire dans les années 1950-1960. Elles sont actuellement dépassées par des techniques plus performantes mais restent intéressantes d'un point de vue pédagogique grâce à la facilité de leur mise en œuvre.

#### 2. La porte OU (fig. 11).

- Si toutes les entrées sont reliées au potentiel 0, la sortie est de toute évidence au potentiel 0.

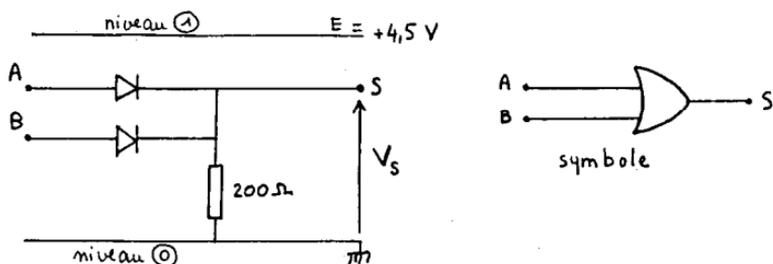


Fig. 11

— Si une entrée, au moins, est au niveau logique 1, la diode correspondante est passante et la sortie est au potentiel  $4,5 - 0,7 = 3,8 \text{ V}$ , c'est-à-dire au niveau logique 1.

L'inconvénient de telles portes apparaît lorsqu'on les connecte en cascade. Le potentiel « haut » va diminuer de  $0,7 \text{ V}$  à chaque porte.

### 3. La porte ET (fig. 12).

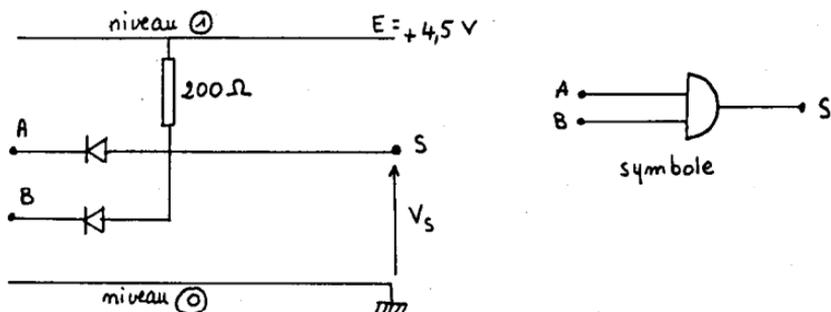


Fig. 12

— Si une entrée, au moins, est au niveau 0, la diode correspondante est passante et la sortie est à  $0,7 \text{ V}$ , donc au niveau logique 0.

— Si les deux entrées sont au niveau logique 1, la sortie est de toute évidence à  $4,5 \text{ V}$ , donc au niveau logique 1.

L'inconvénient mentionné pour le circuit OU se retrouve ici, à cela près que c'est le niveau bas qui se dégrade de  $0,7 \text{ V}$  à chaque porte.

## 4. La porte NON (fig. 13).

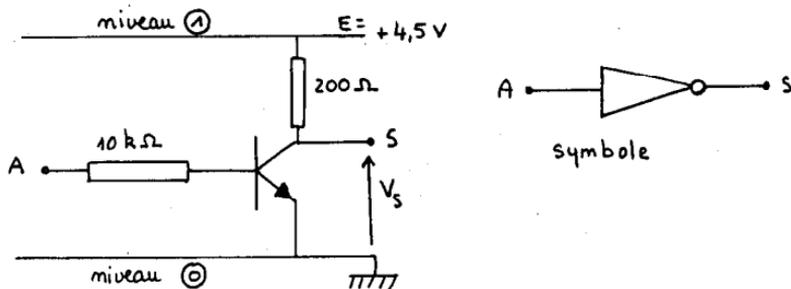


Fig. 13

— Lorsque l'entrée est au niveau 0, la base du transistor est au potentiel 0, le transistor est bloqué et  $V_S = E$  : la sortie est au niveau logique 1 (voir fig. 7).

— Lorsque l'entrée est au niveau 1, et pour une valeur correcte de la résistance de base, le courant  $I_B$  est suffisant pour amener le transistor à saturation (point A de la fig. 9). On a alors  $V_S = 0,2 \text{ V}$  : la sortie est au niveau logique 0.

## 5. La porte NI.

En technologie RTL, la porte NI est réalisée selon le schéma de la fig. 14.

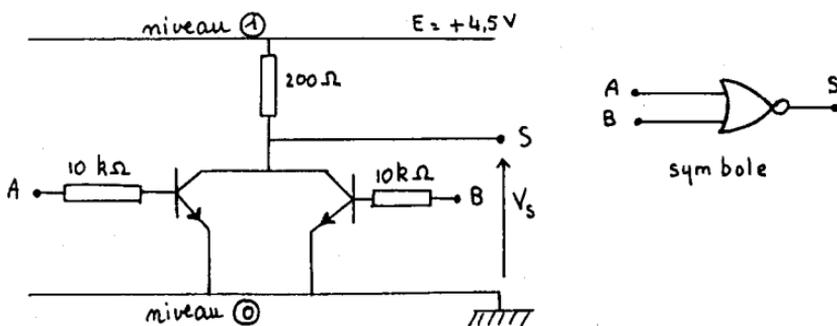


Fig. 14

— Lorsque les deux entrées sont au niveau 0, la base des deux transistors est au potentiel 0, les deux transistors sont bloqués et  $V_S = E$  : la sortie est au niveau 1.

— Si une entrée, au moins, est au niveau 1, le transistor correspondant passe à saturation et  $V_S = 0,2 \text{ V}$  : la sortie est au niveau 0.

On peut réaliser un montage équivalent n'utilisant qu'un transistor (fig. 15). L'analyse de son fonctionnement est analogue à la précédente. Il est enfin possible de connecter en cascade une porte OU à diodes et une porte NON. On obtient ainsi la porte NI de la famille DTL. Sa réalisation concrète ne présente aucune difficulté.

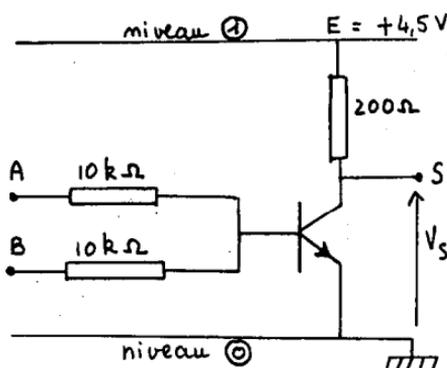


Fig. 15

### 6. La porte Non-ET.

On pourrait supposer qu'une telle porte peut être réalisée en plaçant en cascade une porte ET et une porte NON (fig. 16).

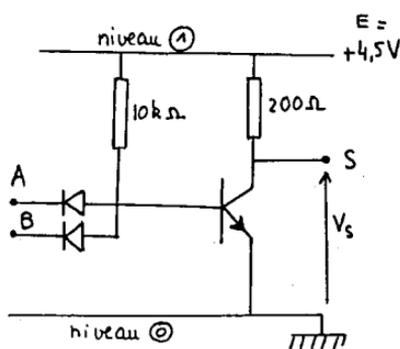


Fig. 16. — Cette porte Non-ET ne fonctionne pas!

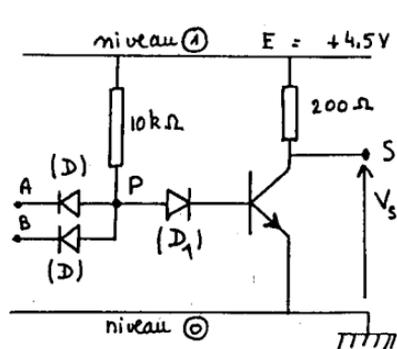
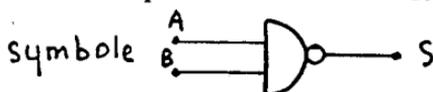


Fig. 17. — Cette porte Non-ET fonctionne!



— Tout se passe bien lorsque les deux entrées sont au niveau 1 : les deux diodes sont bloquées, un courant circule entre base et émetteur du transistor qui se trouve saturé :  $V_S = 0,2 \text{ V}$ , la sortie est au niveau 0.

— Cependant, lorsqu'une entrée au moins est au niveau 0, la diode correspondante devient passante et la base du transistor est alors à un potentiel légèrement supérieur à 0,7 V (voir fig. 3). Cette valeur est trop élevée pour provoquer une commutation franche du transistor (voir fig. 7).

Une méthode remédiant à cet inconvénient consiste à introduire une diode en série sur la base du transistor (fig. 17).

— Rien n'est changé lorsque les deux entrées sont au niveau 1. La chaîne conductrice  $D_1$ -jonction (base-émetteur), polarise le point P à  $2 \times 0,7 = 1,4$  V. Une tension d'alimentation supérieure à cette valeur suffit pour qu'un courant de base impose au transistor d'être saturé. On a alors  $V_S = 0,2$  V.

— Si une entrée, au moins, est au niveau 0, un raisonnement par l'absurde prouve qu'aucun courant ne peut circuler dans la base du transistor qui est donc bloqué. En effet, la présence de la diode D polarise le point P à 0,7 V. Si nous admettions l'existence d'un courant  $I_B$ , la base du transistor serait alors à 0 V. En conclusion, on a dans ce cas  $V_S = E$  : la sortie est au niveau 1.

Remarquons pour terminer que les portes à transistor peuvent être connectées en cascade sans présenter l'inconvénient signalé pour les portes à diodes. La tension de déchet de 0,2 V obtenue lorsque la sortie est au niveau 0 est insuffisante pour rendre passante la jonction base-émetteur d'un deuxième transistor. Il n'y a en aucun cas dégradation des niveaux logiques.

## Deuxième partie :

### UTILISATION DES CIRCUITS INTEGRES

#### A) LA COURSE A LA MINIATURISATION.

Le support théorique nécessaire à la conception des ordinateurs existe depuis longtemps (voir première partie, § A). C'est l'encombrement des éléments actifs qui, en déterminant celui des machines, limite finalement leur capacité. Les premiers ordinateurs ont été réalisés à partir d'éléments discrets : lampes à vide (1956) ; transistors (1959). En 1964 fut commercialisée la première machine utilisant des circuits intégrés.

Un circuit intégré est constitué d'un unique cristal de silicium sur lequel on a littéralement « fait pousser » une multitude d'éléments semi-conducteurs microscopiques (3), par une succession d'opérations que nous ne pouvons décrire ici.

(3) En visite à Grenoble, M. MITTERRAND a pu découvrir des circuits intégrés de  $0,15 \mu\text{m}$  de définition (*Le Monde* du 25-1-1985).

On distingue :

- les circuits intégrés numériques effectuant des opérations en système binaire ; ce sont eux qui réalisent les opérations logiques décrites dans la première partie ;
- les circuits intégrés linéaires dont la tension de sortie est une fonction linéaire de la tension d'entrée ;
- les mémoires stockant des informations sous forme binaire.

Les circuits intégrés peuvent être classés selon la technologie employée ou selon la densité d'intégration. Nous avons rencontré dans la première partie les familles DTL et RTL. Il en existe bien d'autres dont la description sort du cadre fixé à cet article. Disons simplement qu'outre un prix de revient compétitif, les technologies récentes recherchent soit une plus grande rapidité d'exécution, soit une plus grande facilité d'intégration, soit encore un meilleur comportement à très haute fréquence, soit enfin une moindre consommation (non pas par souci d'économie mais pour limiter l'échauffement, donc améliorer la fiabilité des composants). Ces différentes exigences ne sont pas facilement compatibles, ce qui explique la multiplicité des familles aujourd'hui sur le marché.

Les circuits intégrés sont réalisés sur une plaquette de silicium (la puce) dont les dimensions les plus courantes sont de 60 mm<sup>2</sup> de surface et de 0,3 mm d'épaisseur. La densité d'intégration est en général repérée dans l'échelle anglo-saxonne :

- Single Scale Integration (SSI) : 10 à 100 éléments réalisant l'équivalent d'une dizaine de portes logiques ;
- Medium Scale Integration (MSI) : 100 à 1 000 éléments ; jusqu'à 250 portes logiques ;
- Large Scale Integration (LSI) : 1 000 à 10 000 éléments ; jusqu'à 2 500 portes logiques ;
- Very Large Scale Integration (VLSI) : 10 000 à plus de 100 000 éléments ; 2 500 à plus de 25 000 portes logiques.

Les performances de la VLSI ont nécessité de véritables prouesses techniques. A titre d'exemple, une mémoire 64 000 bits nécessite le dessin de  $2 \times 10^6$  traits sur la puce de silicium. Elle contient environ 150 000 transistors (4) ou capacités de la famille MOS (Métal Oxyde Semi-conducteur).

## B) CINQ CIRCUITS INTEGRÉS POUR CINQ OPERATIONS LOGIQUES.

On trouve chez n'importe quel vendeur de matériel électronique, et pour un coût total n'excédant pas 20 ou 30 F (il ne

---

(4) Il s'agit de transistors à effet de champ, particulièrement intéressants pour la très haute intégration.

s'agit pas de VLSI !), des circuits intégrés réalisant les cinq opérations logiques décrites précédemment :

- type 7404 : 6 portes NON,
- type 7432 : 4 portes OU,
- type 7408 : 4 portes ET,
- type 7402 : 4 portes NI,
- type 7400 : 4 portes Non-ET.

Les schémas de la fig. 18 montrent comment les utiliser.

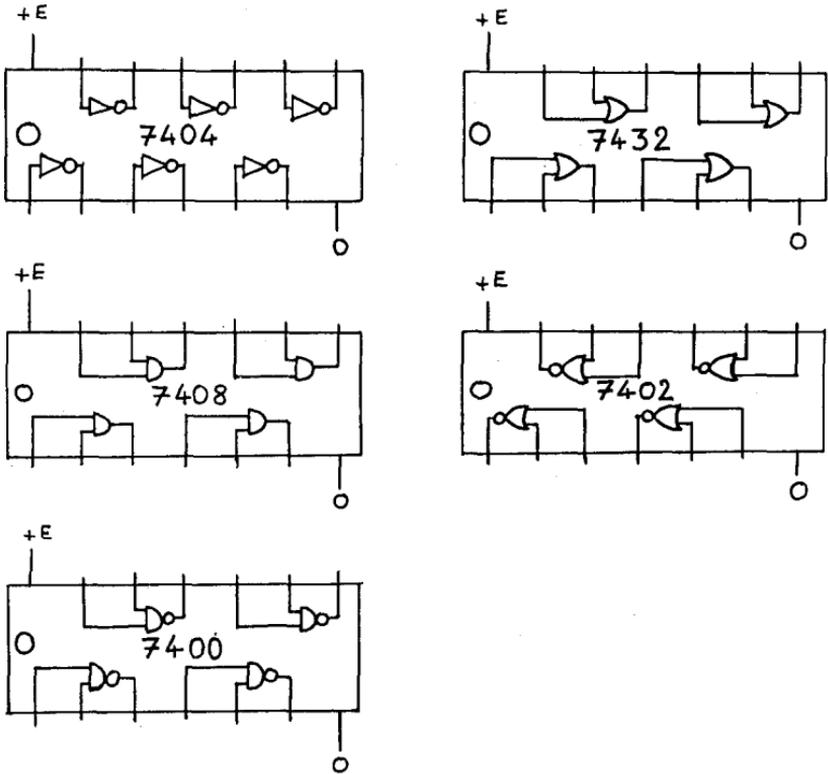


Fig. 18

La tension d'alimentation doit normalement être de 5 V. Il peut être intéressant de visualiser chaque tension par une diode électro-luminescente (DEL) en utilisant, par exemple, le montage de la fig. 19. La DEL allumée représentera le niveau logique 1 ; éteinte, elle indiquera le niveau logique 0. Toutefois, il faut veiller à ne pas laisser croire à l'élève que les niveaux logiques 1 et 0 correspondent à l'existence ou à l'absence d'un courant

électrique. Cette croyance est suffisamment répandue pour qu'on y prenne garde.

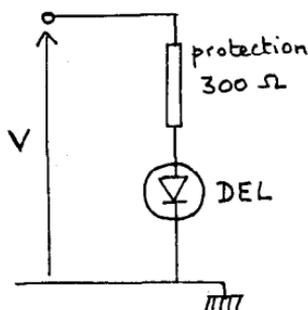


Fig. 19

### Troisième partie :

#### ELABORATION DE L'ADDITIONNEUR BINAIRE

##### A) DEMARCHE PROPOSEE.

Nous proposons ici une méthode tout à fait générale qui s'applique lorsqu'on désire mettre en œuvre un circuit réalisant une opération donnée. Ce paragraphe étant relativement théorique, nous invitons le lecteur à mener son étude de front avec celle du § B, afin d'appliquer immédiatement chaque point au cas du demi-additionneur.

1. On construit la table de vérité de l'opération cherchée et on en déduit son expression au moyen de la somme booléenne, du produit booléen, et de l'inversion.

2. On transforme l'expression obtenue en une expression équivalente utilisant toujours les mêmes opérations, mais dont on sait qu'elle conduira à un circuit plus simple... Il s'agit de l'étape la plus empirique où l'expérience et les tâtonnements jouent un rôle plus déterminant que la recherche méthodique.

3. On dresse le schéma de principe utilisant les portes OU, ET, NON.

4. On transforme le circuit de façon à ce que n'apparaissent que les portes qui nous intéressent. Ce dernier point nécessite quelques précisions. On montre qu'on peut toujours simplifier un circuit jusqu'à ce qu'il ne soit plus réalisé qu'avec un seul type de porte (NI ou Non-ET). Cette situation extrême peut présenter un intérêt si on utilise une technologie dans

laquelle une porte est particulièrement simple à réaliser. Par exemple, le Non-ET est l'opération de base de la famille actuellement la plus répandue : la TTL (Transistor, Transistor Logic). Une autre possibilité est de transformer le circuit afin de n'utiliser que les portes NON, NI, Non-ET. Cette situation est courante d'une part parce que ces trois portes sont les plus utilisées dans la pratique, d'autre part parce qu'on obtient ce faisant un circuit plus simple. C'est ce dernier choix que nous ferons ici afin d'obtenir un schéma définitif réalisable avec un nombre raisonnable de fils électriques !

Nous devons donc être capable :

- de transformer les portes ET et OU en portes Non-ET et NI,
- de simplifier les circuits obtenus.

Pour cela, et partant de la gauche du schéma, on transforme les OU en NI et les ET en Non-ET au moyen de doubles négations (ne pas oublier que NI = Non-OU). On propage vers la droite les négations excédentaires et on transforme les portes rencontrées en utilisant les identités rassemblées dans le tableau suivant :

Porte rencontrée	Porte après transformation	Démonstration
		$x.y = \overline{\overline{x.y}}$ (1)
		$x+y = \overline{\overline{x+y}}$ (2)
		$\overline{x.y} = \overline{x+y}$ (th de de Morgan) (3)
		$\overline{x+y} = \overline{x.y}$ (th de de Morgan) (4)
		$\overline{x.y} = \overline{x+y}$ car $x+y = \overline{\overline{x+y}} = \overline{x.y}$ (5)
		$\overline{x+y} = \overline{x.y}$ car $\overline{x.y} = \overline{\overline{x.y}} = \overline{x+y}$ (6)

**B) ELABORATION DU DEMI-ADDITIONNEUR BINAIRE.****1. Table de vérité et expression booléenne.**

Nous noterons  $S(x, y)$  ce qu'on pose et  $R(x, y)$  ce qu'on retient.

— On remarque immédiatement que  $R(x, y)$  est le produit booléen de  $x$  et  $y$  :

$$R(x, y) = x \cdot y.$$

x	y	S(x, y)	R(x, y)
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

—  $S(x, y)$  vaut 1 lorsque  $x = 0$  et  $y = 1$

↳ produit booléen

ou ———> somme booléenne

lorsque  $x = 1$  et  $y = 0$

↳ produit booléen

Soit encore :

$S(x, y)$  vaut 1 lorsque  $\bar{x} = 1$  et  $y = 1$

ou lorsque  $x = 1$  et  $\bar{y} = 1$ .

Cette dernière proposition permet d'écrire :

$$S(x, y) = \bar{x} \cdot y + x \cdot \bar{y}.$$

**2. Transformation de l'expression obtenue.**

Dans le cas présent, nous utiliserons :

$$S(x, y) = (x + y) \cdot (\bar{x} + \bar{y})$$


---


$$R(x, y) = x \cdot y.$$

L'identité des expressions de  $S(x, y)$  s'établit sans difficulté en utilisant les propriétés (1) et (5) signalées au § A de la première partie. Rappelons d'autre part que ce choix est arbitraire, et qu'il ne se justifie qu'*a posteriori* par la simplicité du circuit auquel il conduit.

3. Schéma de principe du demi-additionneur binaire (fig. 20):

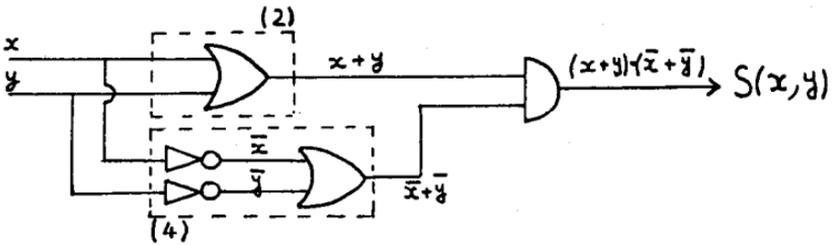


Fig. 20

$R(x, y)$  ne figure pas dans ce schéma, ni d'ailleurs dans le suivant. Le produit booléen  $x \cdot y$  apparaîtra au cours de la dernière simplification, et sera simplement « prélevé ».

4. Simplification du circuit obtenu.

La fig. 21 représente une étape intermédiaire, la fig. 22 le schéma définitif. Les chiffres entre parenthèses renvoient aux identités présentées au § A de cette partie.

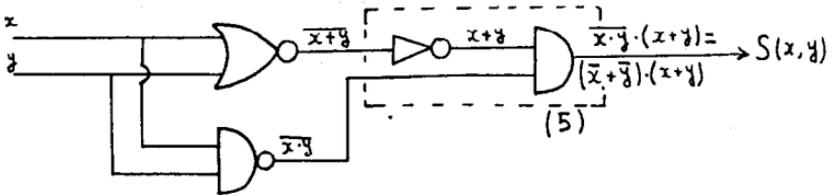


Fig. 21

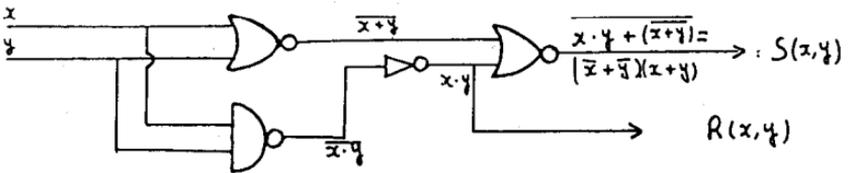


Fig. 22. — Schéma définitif du demi-additionneur binaire.

C) ELABORATION DE L'ADDITIONNEUR BINAIRE.

Comme nous l'avons précisé au début de cet article, l'additionneur binaire réalise l'addition de trois chiffres, l'un d'eux étant la retenue produite par un rang inférieur.

$$\begin{array}{r} x \\ + y \\ + z \end{array}$$

---

On pose  $S(x, y, z)$   
On retient  $R(x, y, z)$ .

1. **Obtention de S (x, y, z).**

Obtenir S(x, y, z) ne présente plus aucune difficulté lorsqu'on a réalisé le demi-additionneur (fig. 23).

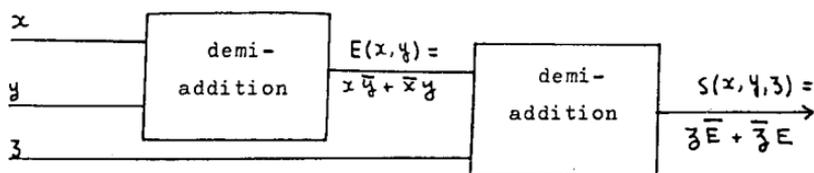


Fig. 23

2. **Obtention de R (x, y, z).**

Le plus simple est sans doute de chercher son expression booléenne à partir de la table de vérité reproduite ci-après.

x	0	0	0	0	1	1	1	1
y	0	1	0	1	0	1	0	1
z	0	0	1	1	0	0	1	1
R(x, y, z)	0	0	0	1	0	1	1	1

Par un raisonnement analogue à celui fait au § B.1., on obtient :  $R(x, y, z) = \bar{x} \cdot y \cdot z + x \cdot y \cdot \bar{z} + x \cdot \bar{y} \cdot z + x \cdot y \cdot z$ , ce qui s'écrit encore :  $R(x, y, z) = x \cdot y \cdot (z + \bar{z}) + z \cdot (\bar{x} \cdot y + x \cdot \bar{y})$ .

En introduisant l'expression  $E(x, y) = \bar{x} \cdot y + x \cdot \bar{y}$ , et compte tenu que  $z + \bar{z} = 1$ , on a finalement :

$$R(x, y, z) = x \cdot y + z \cdot E.$$

3. **Schéma définitif de l'additionneur binaire (fig. 24).**

Pour obtenir R(x, y, z), le mieux est de « prélever »  $\bar{z} \cdot \bar{E}$  et  $\bar{x} \cdot \bar{y}$ , de les transformer en  $z \cdot E$  et  $x \cdot y$  au moyen de portes NON, et d'appliquer l'identité (4). On n'introduit ainsi qu'une porte supplémentaire.

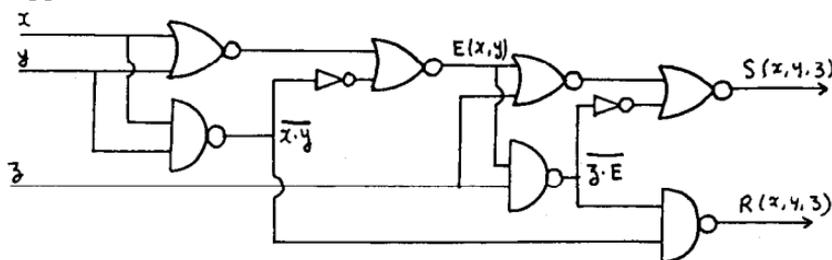


Fig. 24. — Schéma définitif de l'additionneur binaire.

**CONCLUSION.**

Certains lecteurs auront peut-être remarqué que la table de vérité donnant  $S(x, y)$  dans le cas du demi-additionneur est précisément celle d'une opération logique appelée « OU-exclusif ». On trouve dans le commerce des circuits intégrés réalisant cette opération. Il est donc possible de construire notre demi-additionneur avec deux portes (une pour la somme, une pour la retenue). Cependant, l'élaboration de la porte « OU-exclusif » se fait à l'aide des portes NON, NI et Non-ET. Elle ne doit donc pas être considérée comme une porte fondamentale, mais comme un intermédiaire pratique si l'on désire réduire le nombre de fils électriques, mais peu intéressant d'un point de vue pédagogique.

On trouvera en outre dans la littérature scientifique plusieurs autres schémas possibles, dont le plus fréquent est représenté fig. 25. Bien qu'utilisés par les constructeurs de circuits intégrés, ces montages possèdent plus de portes que celui que nous avons décrits.

Les ouvrages cités en référence présentent différentes réalisations plus ou moins élaborées (soustraction, comparateur, convertisseur binaire-décimal...), pouvant constituer un prolongement intéressant à l'étude de l'additionneur.

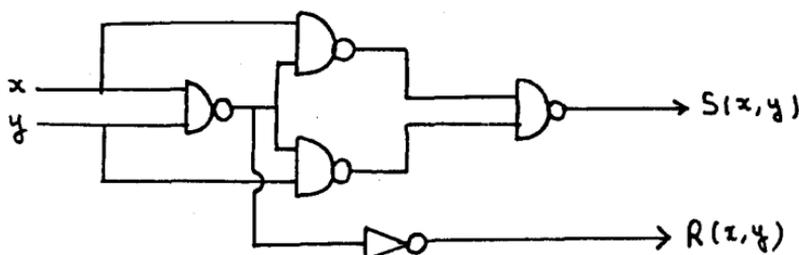


Fig. 25

**BIBLIOGRAPHIE***Ouvrages généraux :*

- J.-P. BOUHOT, G. COTTIN, J. TRICOT. — *Microprocesseurs et conception des petits ordinateurs*. Editions d'informatique 1982.
- G. CASANOVA. — *L'algèbre de Boole*. P.U.F. Que sais-je ? 1972.
- H. LILEN. — *Circuits intégrés numériques : principes et applications*. Editions Radio 1978.
- M. ROUQUEROL. — *Les micro-ordinateurs*. P.U.F. Que sais-je ? 1981.

*Encyclopédies :*

- *Encyclopaedia Universalis*. — Article « Micro-électronique », volume 10.
- *Traité pratique d'informatique*. — Article « Conception des circuits intégrés ». Collection : techniques de l'ingénieur ; mise à jour : décembre 1984.