

UNE INTRODUCTION A LA MICROELECTRONIQUE SUR PC

Etienne SICARD
INSA/DGEI
Avenue de Rangueil
31077 TOULOUSE Cedex

Résumé : Cet article présente un ensemble d'outils destinés à proposer de manière attrayante et réaliste une illustration du fonctionnement des circuits intégrés. En particulier, un didacticiel sur le transistor élémentaire donne la possibilité de comparer la simulation à la mesure, une visualisation en trois dimensions des séquences de fabrication. Un éditeur/simulateur de cellules de base telles que portes logiques ou fonctions analogiques simples est présenté, illustré de plusieurs exemples. Enfin, une perspective sur l'évolution future conclut l'article.

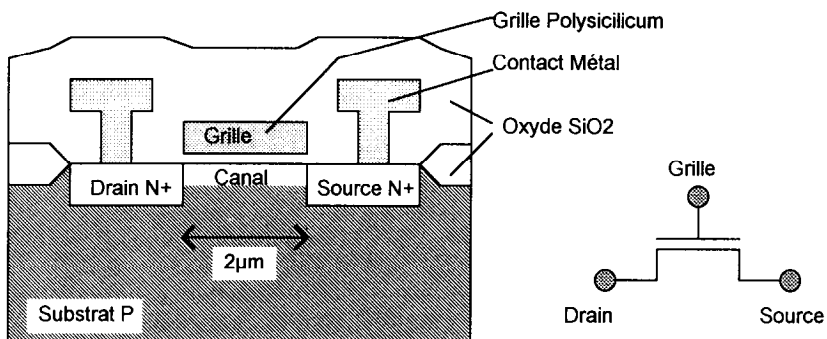
1. INTRODUCTION

Dans le domaine de la micro-électronique, les besoins de formation se caractérisent par de continuelles adaptations aux progrès techniques, à la réduction des dimensions des dispositifs, et l'augmentation de la complexité des circuits intégrés. Les circuits micro-électroniques trouvent sans cesse de nouvelles applications, ce qui se traduit par une croissance de spectaculaire de 30% du marché pour la seule année 95, de nouveaux et nombreux emplois, ainsi que des investissements colossaux consentis par tous les fabricants de circuits intégrés.

L'évolution principale concerne la technologie. La taille des transistors élémentaires ne cesse de diminuer, afin d'augmenter la vitesse et réduire la consommation. La mesure de référence est la longueur minimale du canal du transistor. Celle-ci est passée de 2 μm en 1980 à 0.35 μm en 1995, avec un gain en vitesse d'un ordre 30. La maîtrise des petites dimensions est stratégique. Elle permet la fabrication des microprocesseurs les plus rapides, des mémoires les plus grandes et des circuits programmables les plus adaptables.

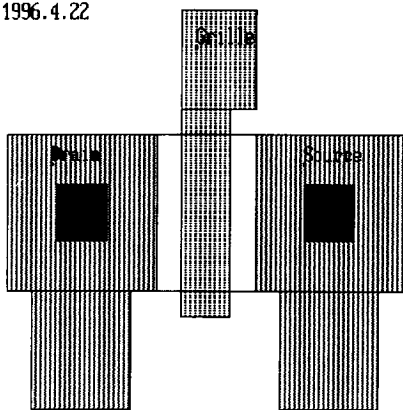
La Figure 1 donne une illustration d'un transistor MOS canal N pour une technologie 2 μm . La dénomination MOS, anciennement métal-oxyde-semiconducteur, a été gardée pour désigner les transistors actuels dont la grille n'est plus en métal mais en polysilicium. Le terme "canal N" précise la nature du semi-conducteur. Le canal se forme par une accumulation d'électrons (Type N) dans un matériau de type P. En vue de dessus, nous donnons une comparaison du dispositif entre les technologies 2.0 μm et 0.35 μm . Le principe de

fonctionnement, les différents niveaux de matériaux et les proportions sont restées quasiment identiques. Seule la taille a considérablement diminué. Dans un même espace, il devient donc possible de fabriquer un nombre croissant de transistors.



File BUP1.MSH
Date 1996.4.22

19 box(es)



1

1 micron
2x(1.0µ)
H

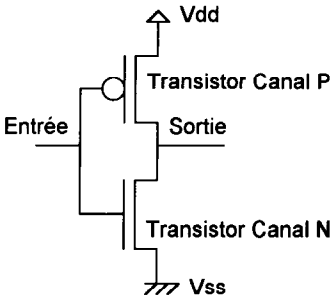
Transistor 2.0 µm

Transistor 0.35 µm

Figure 1 : Vue en coupe du transistor MOS canal N, et évolution des dimensions de la lithogravure illustrée avec les technologies CMOS 2 µm (1980) et CMOS 0.35 µm (1995).

Le terme CMOS désigne la technologie à transistors MOS complémentaires, c'est-à-dire utilisant à la fois des transistors canal N et canal P. Le schéma de l'inverseur, la cellule logique la plus simple à concevoir en CMOS est donné Figure 2. L'inverseur CMOS se compose d'un transistor MOS canal N et d'un transistor MOS canal P. Une chaîne d'inverseurs sert de base à la comparaison des vitesses. En technologie CMOS 2.0 μm , le délai entre portes est évalué à 2 nano-secondes (2×10^{-9} secondes). En technologie CMOS 0.25 μm , le délai entre portes est ramené à 80 pico-secondes (80×10^{-12} secondes).

Figure 2 : Principe de l'inverseur CMOS et comparaison de la vitesse de fonctionnement d'une chaîne d'inverseurs en technologie CMOS 2.0 μm (délai de l'ordre de 1 nS) et 0.35 μm (30 pS).



Entrée	Sortie
0	1
1	0

0 = Vss = 0V

1 = Vdd = 5V (3V en 0.35 μm)

Principe de l'inverseur CMOS

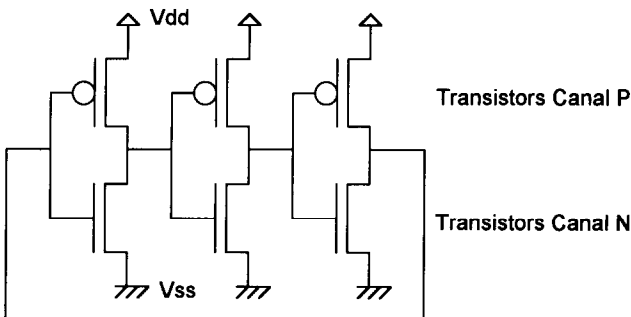
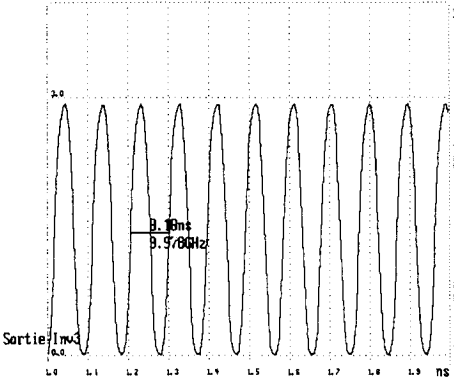
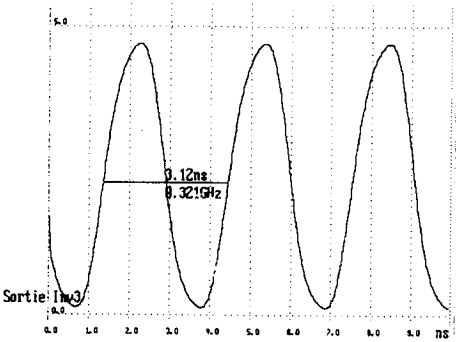
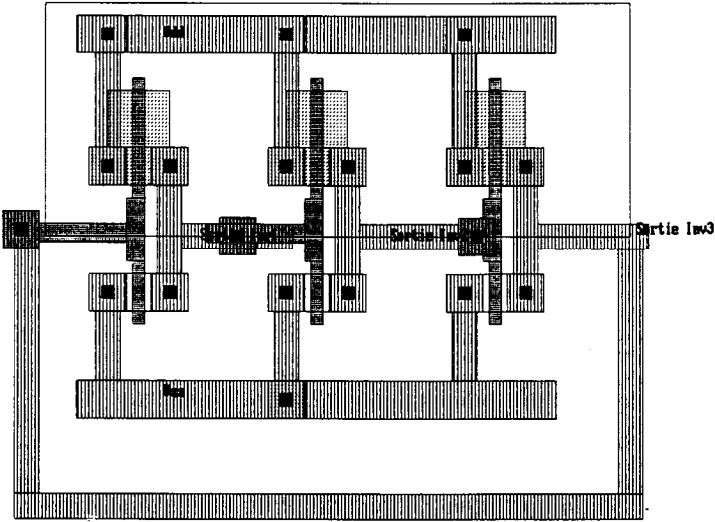


Schéma de la chaîne d'inverseurs montés en oscillateur en anneau.



Au début de l'ère de la micro-électronique, dont on lira avec intérêt un historique concis dans [1], le dessin du circuit intégré se résumait au dessin manuel de quelques boîtes de niveaux différents, photographiées puis réduites et dupliquées à l'échelle voulue. Les masques étaient alors utilisés lors des étapes chimiques de dépôt et de gravure des différents matériaux. Si le principe des procédés de masquage existent toujours, on ne peut envisager de conception de circuit intégré à Ultra Haute Intégration (ULSI) sans assistance massive de l'ordinateur pour l'aide au dessin, la vérification, la simulation et le pilotage des systèmes de fabrication.

Si la tâche de concevoir, simuler et faire fabriquer les circuits industriels tels que microprocesseurs et mémoires, pour ne citer que les plus médiatiques, est du domaine des outils professionnels coûteux et gourmands en configuration matérielle, l'enseignement des principes de base de la micro-électronique peut bénéficier de l'aide de logiciels sur PC.

Une première possibilité est d'utiliser un logiciel généraliste comme PSPICE [2] qui permet de simuler tous les éléments passifs mais aussi les composants intégrés. Le problème est l'absence de visualisation du circuit intégré lui-même, dont on ne manipule que des paramètres équivalents et des modèles mathématiques plus ou moins hermétiques. Cet effort d'abstraction est un réel obstacle à l'apprentissage des circuits intégrés. La description du circuit intégré sous une forme schématique est déjà un progrès, mais la valeur des paramètres fixée par l'utilisateur peut n'avoir aucune réalité physique.

Nous décrivons ci-après un logiciel spécifiquement dédié à l'apprentissage de la micro-électronique sur PC. Bâti autour de 3 modules, il est utilisé avec succès depuis quatre ans en France et dans le monde par plus de 500 instituts et universités. Les versions successives du logiciel [3,4] tentent de suivre l'évolution constante de la technologie.

Le paragraphe 2 est consacré à l'étude du transistor MOS, le paragraphe 3 décrit notre approche de la visualisation du circuit intégré en 3 dimensions, le paragraphe 4 traite de l'édition et de la simulation des cellules de base, avec l'exemple d'une porte logique, enfin l'article se termine par une synthèse de l'évolution du domaine et ses répercussions sur les logiciels éducatifs futurs.

2. ETUDE DU TRANSISTOR MOS

En guise de premier contact avec la micro-électronique, il nous a semblé important rassembler dans un même écran la vue du composant en coupe, dans l'esprit de la Figure 1, avec l'animation du canal, la vue de dessus du transistor tel qu'il apparaît au microscope, et les courbes caractéristiques du transistor. Celles-ci ne peuvent véritablement être comprises qu'avec la possibilité donnée à

l'étudiant de manipuler les potentiels de drain, source et grille du transistor, afin d'agir sur le fonctionnement du transistor (Figure 3).

Dans le cas du transistor canal N, le fonctionnement peut se résumer à ceci: si la tension de grille vaut zéro, le passage entre drain et source est fermé. Si la tension de grille vaut VDD, tension d'alimentation, le passage est possible grâce à un canal d'électrons attirés sous la grille. Si l'évolution technologique n'a rien changé au fonctionnement de base du transistor, la réduction de taille du dispositif a changé l'aspect des courbes et considérablement modifié la valeur des courants mis en jeu.

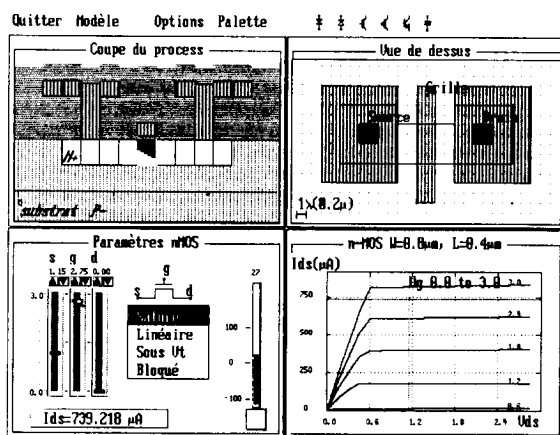


Figure 3 : Ecran de présentation du transistor MOS pour une technologie 0.35 μm .

Le logiciel permet de changer différents paramètres du transistor et de la technologie, en plus des tensions de drain, grille et source. On peut par exemple changer la dimension physique du canal, et vérifier que le courant croît linéairement avec W/L , où W est la largeur du canal et L sa longueur. Le logiciel permet aussi de visualiser la tension de seuil V_t , tension de grille au dessus de laquelle le transistor entre en conduction (Figure 4). Enfin une série d'autres expérimentations sont possibles:

- Influence de la température sur le fonctionnement. Contrairement à ce que l'on pourrait supposer, le transistor fonctionne d'autant mieux qu'il est refroidi.

- Comparaison avec le MOS canal p. La mobilité des électrons qui forment le canal N est plus de deux fois supérieure à celle des protons du canal P, d'où une perte équivalente de courant pour le transistor P à taille égale.
- Etude du transistor bipolaire intégré NPN. Il se compose d'une structure de jonctions empilées, d'une fabrication assez proche de la technologie CMOS. La technologie appelée BiCMOS est utilisée pour la réalisation des premières générations de processeurs Pentium de Intel Corp. Le transistor bipolaire est beaucoup plus rapide que le MOS à taille égale, mais il consomme aussi beaucoup plus. Il est donc utilisé avec parcimonie aux interconnexions stratégiques.

Nous donnons en annexe deux formulations du fonctionnement du transistor. La première est simple mais ne modélise que des technologies très anciennes (Canal supérieur à 10 μm). La deuxième garde une certaine validité jusqu'aux technologies les plus récentes. Cependant, des modèles très complexes intégrant des phénomènes physiques propres aux très petites dimensions ont été développés [5]. Ces modèles, délicats mélanges de théorie et d'empirisme sont toutefois trop complexes pour être utilisés dans l'enseignement.

3. PROCEDE DE FABRICATION

Le procédé de fabrication des circuits intégrés actuels fait appel à plus de 10 étapes technologiques importantes, et se retrouve donc particulièrement difficile à expliquer sans support adapté. Nous avons réalisé un outil de visualisation simplifiée des étapes de procédé CMOS, technologie la plus répandue dans le monde. Nous donnons Figure 4 le dessin vue de dessus de l'inverseur CMOS destiné à être fabriqué. Il a la même structure que les inverseurs utilisés plus haut, sauf que la disposition est légèrement différente. Le transistor MOS canal N est à gauche, le transistor MOS canal P à droite.

Différents niveaux de matériaux sont utilisés : le polysilicium sert de grille aux deux transistors, les diffusions N⁺ (Bore) et P⁺ (arsenic) créent les transistors. L'aluminium est déposé puis gravé de manière à réaliser les interconnexions nécessaires entre les transistors, en allant chercher le contact électrique dans les zones de diffusion.

Le scénario de fabrication de l'inverseur est illustré Figure 5 avec les étapes de fabrication de l'oxyde de grille, de dépôt de la grille polysilicium, de diffusions N⁺ et P⁺, de contacts et de métallisations. Le logiciel permet aussi d'agrandir un certain espace du circuit, de revenir en arrière d'une étape, etc...

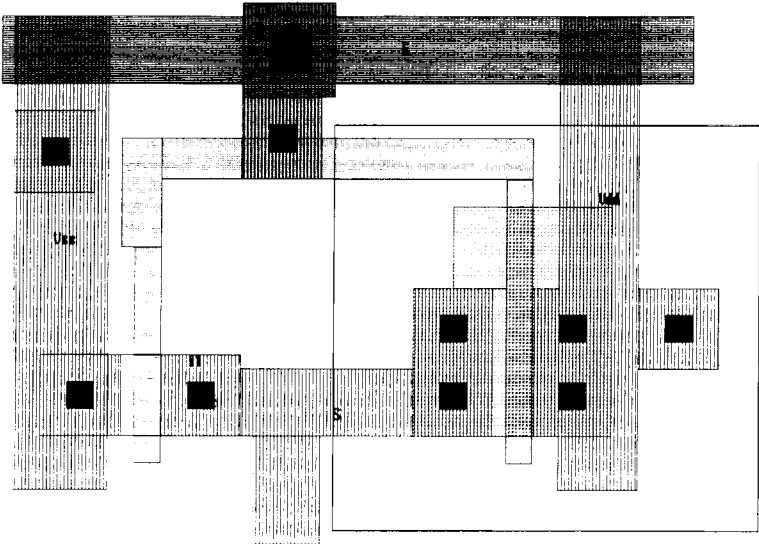


Figure 4: Dessin de l'inverseur CMOS en vue de la fabrication. La taille approximative en technologie 0.35um est de 10 μm de côté.

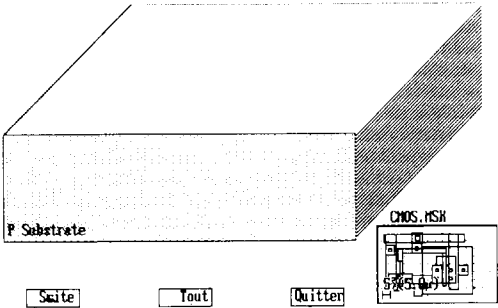


Figure 5 : Etapes de fabrication de l'inverseur CMOS: substrat initial (a)

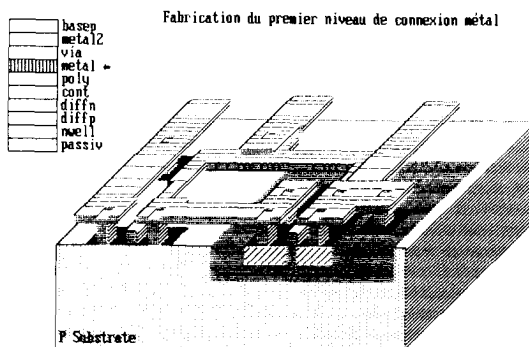
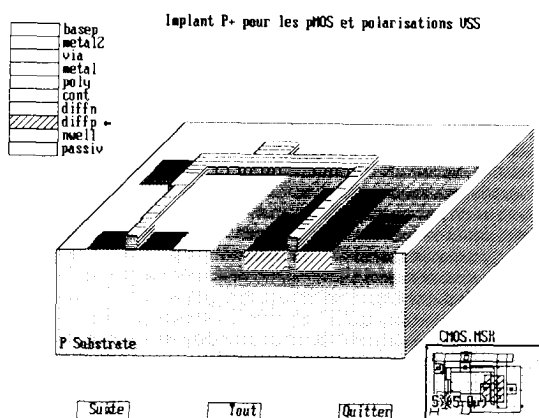
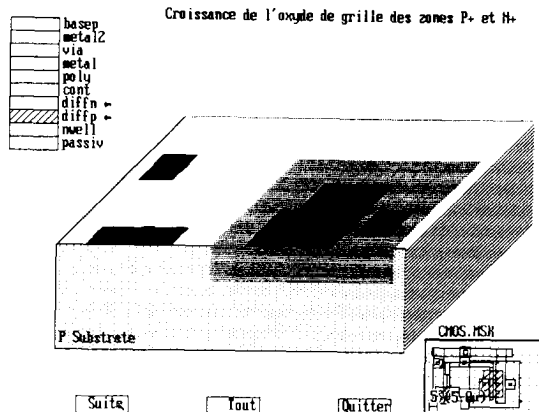


Figure 5 (suite) : Etapes de fabrication de l'inverseur CMOS: Croissance de l'oxyde de grille (b), implants N⁺ et P⁺ (c) et premier niveau de métallisation (d).

4. DESSIN ET SIMULATION

Nous avons développé un outil de dessin des différents niveaux de matériaux, afin de permettre à l'étudiant d'apprendre par la pratique la conception, la simulation et l'optimisation des cellules. Une bibliothèque fournie en cellules pré-dessinées prêtes à simuler existe aussi afin d'aller directement à l'étape de simulation. L'exemple d'une porte ET, constituée en fait d'une porte NON-ET suivie d'un inverseur, est proposé Figure 6 (ci-contre). Le logiciel dispose de commandes de dessin, d'une palette de niveaux, et de modules de vérifications diverses. On peut aisément visualiser les zones électriquement connectées, savoir si le dessin est conforme aux nombreuses contraintes de taille et d'espacement entre matériaux tels qu'ils sont imposés par le fabricant. Enfin, le dessin peut être converti en un circuit électrique équivalent compatible avec le format du simulateur analogique PSPICE.

Deux points sont à signaler : la possibilité de visualiser à tout moment le circuit en coupe, c'est-à-dire la simulation de l'empilement des structures une fois fabriquées. On distingue alors de quelle manière les niveaux de matériaux sont isolés les uns des autres, et l'on découvre aussi les canaux des transistors. La Figure 7 propose une coupe verticale au niveau des transistors canal N en série qui réalisent la fonction ET.

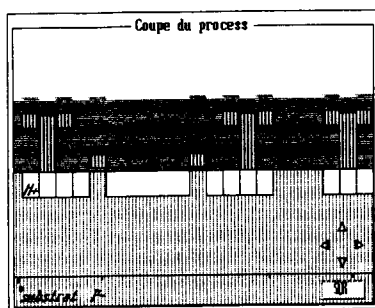


Figure 7 : Coupe verticale au niveau des deux transistors en série de la porte NON-ET.

L'autre point concerne la simulation analogique, totalement intégrée à l'éditeur. Ceci a été rendu possible grâce à l'inclusion d'un extracteur des nœuds électriques qui découpe les zones drain et source des transistors, propage les nœuds dans les interconnexions, évalue la taille des transistors et la valeur des capacités parasites. La tension et le courant dans chaque branche du circuit intégré sont calculés en résolvant les équations différentielles du réseau électrique équivalent, et en évaluant le point de fonctionnement de chaque transistor grâce au modèle mathématique adapté.

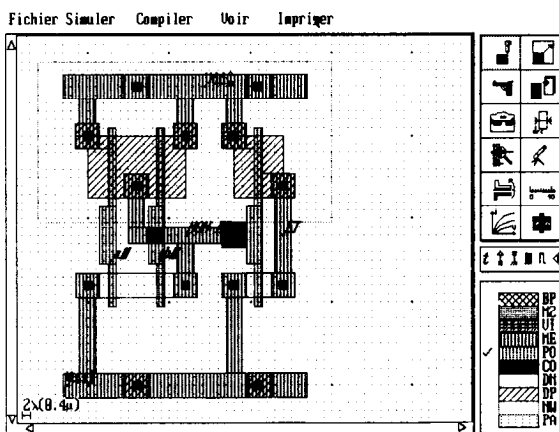
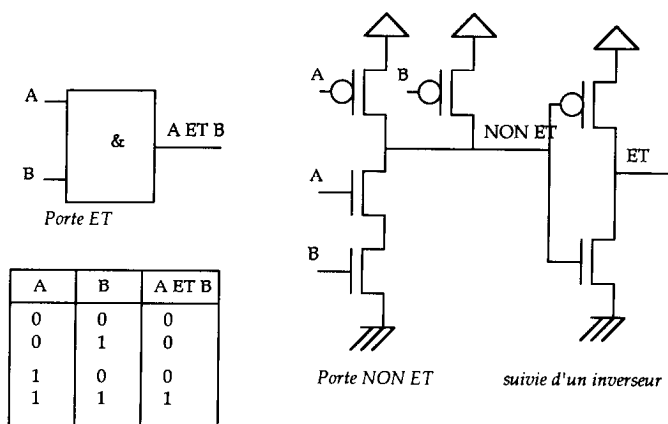


Figure 6 : Schéma équivalent et dessin de la porte ET. En logique CMOS, le moyen le plus direct de réaliser la fonction ET est hélas de réaliser l'assemblage d'une porte NON-ET suivie d'un inverseur.

Un exemple de simulation de la porte ET est proposé Figure 8. La figure du haut décrit l'évolution des noeuds du circuit en fonction du temps. On retrouve la fonction NON-ET puis la fonction inversée ET peu de temps après. La technologie employée correspond à $0.35\mu\text{m}$ de longueur de canal. Noter que la définition des horloges est faite directement sur le dessin, avant de lancer la simulation. L'utilisateur précise alors les nœuds d'entrée, les nœuds de sortie qu'il souhaite visualiser, et la position des sources de tension fixes, telles que l'alimentation et la masse.

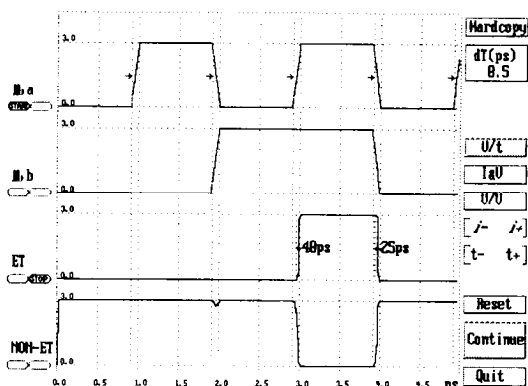


Figure 8 : Simulation transitoire de la porte logique ET. Le noeud intermédiaire correspond à NON-ET, puis au signal inverse.

5. UTILISATION ET PERSPECTIVES

Grâce aux modules logiciels présentés plus haut, une série de projets peut être conduite avec les étudiants, avec un niveau adapté au but fixé : les étudiants en IUT Electronique fabriquent une bascule et un amplificateur en deux séances de travaux pratiques, les étudiants en maîtrise réalisent des mini-projets sous forme de cellules arithmétiques, ou encore convertisseurs numérique/analogique et analogique/numérique, enfin les étudiants en spécialisation micro-électronique conduisent des projets allant jusqu'à la fabrication du circuit intégré (Figure 9) par le biais de services spécialisés tels que le projet CMP français [6].

Le circuit de la figure 9 a été conçu et simulé à l'aide du logiciel éducatif, puis réalisé par le biais du CMP en technologie ES2 $1.0\mu\text{m}$ en dix semaines environ. S'agissant d'un circuit intégré à vocation pédagogique conçu par des étudiants dans le cadre de leur formation, le coût de fabrication est intégralement pris en charge par différents organismes publics, français et Européens. Pour un

prototype à vocation recherche ou industrie, le prix avoisinerait 3000 FRF. A noter que le coût réel du circuit est de l'ordre de 100 KF par la filière normale, rappelant ainsi le privilège formidable dont disposent en France les organismes de formation à la micro-électronique.

File JISI.MSK

7261 box(es)

Date 1996-04-24

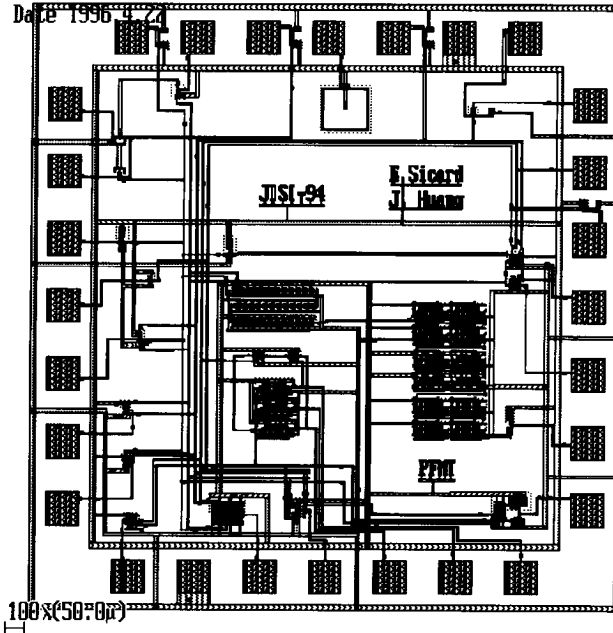


Figure 9 : Circuit micro-électronique JISI conçu par les étudiants en spécialité micro-électronique à l'INSA de Toulouse

Le circuit intégré de la figure 9 a été réalisé en 16 heures de travaux pratiques par des étudiants de niveau DEA d'électronique. Il comporte un ensemble de 10 expérimentations simples de micro-électronique, telles que l'inverseur, les portes logiques, les circuits analogiques et les capteurs [7].

Les logiciels présentés dans cet article sont diffusés par l'intermédiaire de l'INSA de Toulouse. S'adresser à l'auteur (voir ci-dessous) pour avoir plus d'informations sur les différents modules et la configuration matérielle nécessaire.

La micro-électronique est le moteur de l'industrie électronique. Importante source d'emplois de cadres et de techniciens, l'industrie des semi-conducteurs est en très forte croissance et son futur est conforté par les investissements considérables consentis par quasiment tous les fabricants de circuit intégrés. La formation à la micro-électronique, naguère réservée à un petit contingent encadré par de rares spécialistes, se démocratise et s'ouvre au plus grand nombre.

La micro-électronique est spectaculaire par sa miniaturisation, par la course à la performance qu'elle engendre dans les microprocesseurs, ou la course au gigantisme dans les mémoires. Nous entrons dans l'ère de la ultra-haute intégration, grâce à laquelle le traitement automatique de la parole, la traduction simultanée, la télévision numérique et autres disques durs silicium deviennent possible, entres autres.

La création d'outils spécifiques tels que celui présenté dans cet article, est une tâche passionnante et exigeante. Elle vise à faire comprendre les mécanismes fondamentaux et les méthodologies de fabrication aux lycéens, étudiants, jusqu'aux aux futurs concepteurs de circuits, en tentant de suivre l'évolution constante des technologies micro-électronique.

Etienne SICARD

Maître de Conférences, INSA/DGEI

Avenue de Rangueil, 31077 Toulouse Cedex

Tel: (05) 61 55 98 42 - Fax: (05) 61 55 98 00

e-mail : etienne@dge.insa-tlse.fr

serveur web : www.insa-tlse.fr

BIBLIOGRAPHIE

[1] Robert Lyon-Caen "Note Historique" dans "Conception des circuits Intégrés MOS" par M. Cand, Editions Eyrolles, Paris, 1986, pp 409-432

[2] S. Gazaix "La simulation Electronique avec SPICE", Bulletin de l'Union des Physiciens, N°771, pp 373-385.

[3] E. Sicard "La micro-électronique, simulateur en main", Editions Tec & Doc Lavoisier, Paris 1992, ISBN 2-85206-816-8

[4] E. Sicard "Introduction à la Micro-Electronique", Editions INSA, Toulouse, 1995

[5] J. H. Huang, Z.H Liu "BSIM Level 3 Manual, Modelisation of sub-micronic MOS transistors", Université de Berkeley, Californie, USA CA 94720 , Mars 1994

[6] H. Delori, J.F Paillotin, K. Torki, B. Courtois, Rapport CMP 1994, INPG/TIM3 Grenoble, 1994

[7] A. Ferreira, J.L Noullet, E. Sicard "JISI: Expérimentation sur PC", Actes des 3èmes Journées de Formation Micro-Electronique, St Malô, Décembre 1994

ANNEXE

Modèle simple de transistors MOS canal N (Technologies des années 1970)TRANSISTOR BLOQUE. $V_{gs} < V_t$

$$I_{ds} = 0$$

MODE LINEAIRE. $V_{ds} < V_{gs} - V_t$

$$I_{ds} = K_P \frac{W}{L} V_{ds} \left((V_{gs} - V_t) - \frac{V_{ds}}{2} \right)$$

MODE SATURE. $V_{ds} > V_{gs} - V_t$

$$I_{ds} = \frac{K_P}{2} \frac{W}{L} (V_{gs} - V_t)^2$$

Dans ces formules, W est la largeur du canal du MOS, L sa longueur, V_t la tension de seuil.

Le paramètre K est en fait issu de l'expression :

$$K_P = \mu_n \epsilon_0 \epsilon_S / T_{ox}$$

avec, pour une technologie $1.0 \mu m$

$\mu_n = 510 \text{ V.cm}^{-2}$ mobilité des électrons du canal

$\epsilon_0 = 3.9$ permittivité relative du SiO_2

$\epsilon_S = 8.85 \text{ e}^{-14}$ permittivité absolue

$T_{ox} = 20 \text{ nm}$ épaisseur de l'oxyde de grille

Modèle complexe de transistor MOS canal N (Technologies des années 1985).

MODE BLOQUE. $V_{gs} < 0$

$$I_{ds} = 0$$

MODE NORMAL. $V_{gs} > V_{on}$

$$I_{ds} = K_{eff} \frac{W}{L_{EFF}} (1 + KAPPA \cdot v_{ds}) V_{de} \left((V_{gs} - v_{to}) - \frac{V_{de}}{2} \right)$$

avec

$$v_{on} = 1.2 \cdot v_{to}$$

$$v_{to} = V_t + GAMMA(\sqrt{\phi_i} - \phi_b - \sqrt{\phi_i})$$

$$v_{de} = \min(v_{ds}, v_{dsat})$$

$$v_{dsat} = v_c + v_{sat} - \sqrt{v_c^2 + v_{sat}^2}$$

$$v_{sat} = v_{gs} - v_{to}$$

$$v_c = V_{MAX} \frac{L_{EFF}}{0.06}$$

$$L_{EFF} = L - 2 \cdot LD$$

$$K_{eff} = \frac{KP}{(1 + THETA(v_{gs} - v_{to}))}$$

MODE SOUS LE SEUIL. $V_{gs} < V_{on}$

v_{ds} est remplacé par v_{on} dans les équations ci-dessus.

$$I_{ds} = I_{ds}(v_{on}, v_{ds}) e^{\frac{q(v_{gs} - v_{on})}{nkT}}$$

Dans ces formules, W est la largeur du canal du MOS, L sa longueur, V_t la tension de seuil.

$$n = 2$$

$$k = 1.381 \cdot 10^{-23}$$

$$T = 300 \text{ °K}$$

$$q = 1.6 \cdot 10^{-19}$$

$$k_1 = 1 \cdot 10^{-3}$$