

Principe d'un voltmètre numérique (à simple rampe analogique)

par R. KERAVEC

Le travail présenté ici a été directement inspiré par une leçon faite par Mme BARANGE, professeur au lycée Réaumur de Laval, à des élèves de Terminale F2, lors de son examen de qualification professionnelle (ex CAPES pratique) ; le montage électrique, en particulier, est de sa conception.

Les appareils numériques sont devenus d'un usage courant, y compris dans nos établissements ; cependant ils restent encore très mystérieux pour beaucoup. Le but poursuivi ici est de donner une idée très simple de la mesure d'une tension conduisant à l'affichage direct du résultat de la mesure.

Le cas particulier étudié et mis en œuvre dans la maquette réalisée se retrouve, dans son principe, dans plusieurs types d'appareils numériques : il revient à un comptage d'impulsions délivrées par une «horloge».

1. PRINCIPE DE LA MESURE

La tension à mesurer V_e est comparée à celle délivrée par un générateur de rampe V_c .

Pendant le temps mis par la rampe pour atteindre V_e en partant de zéro, un compteur totalise le nombre d'impulsions engendrées par une horloge.

Ce nombre est affiché sous forme binaire (système de numération à base 2) ou sous forme décimale (système de numération à base 10).

La rampe est linéaire : $V_c = kt$

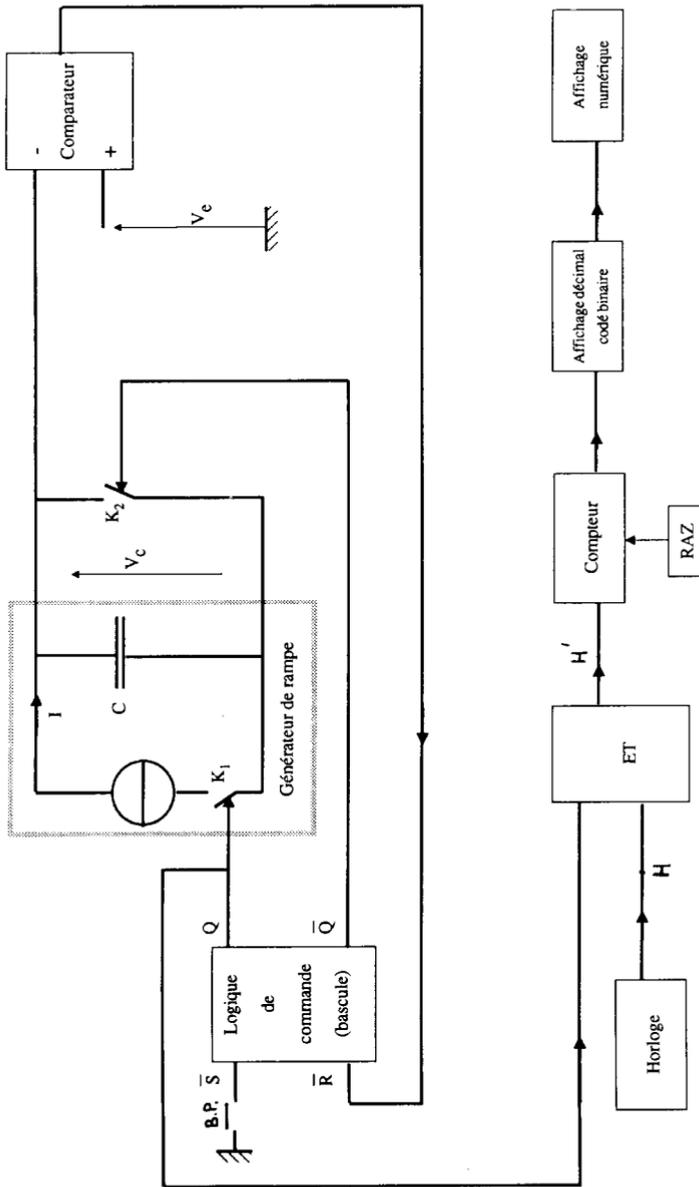


Figure 1 : Schéma fonctionnel de la maquette.

La durée de la mesure est alors : $\Delta t = \frac{V_e}{k}$.

Si la période de l'horloge est T, le nombre d'impulsions délivrées est :

$$n = \frac{\Delta t}{T} = \frac{V_e}{kT}$$

Lors d'un affichage décimal, le nombre n sera choisi de façon à être en relation simple avec la valeur numérique de V_e . Sur la maquette n sera égal à $10 V_e$ (V_e en volts), n étant un nombre entier, la tension V_e à mesurer pourra être définie à 0,1 V près (en négligeant toutes les autres causes d'erreur !).

2. SCHEMA FONCTIONNEL DE LA MAQUETTE (voir figure 1)

La maquette comprend :

- un générateur de rampe V_c
- un comparateur (pour V_e et V_c)
- une horloge
- un compteur
- des afficheurs
- une logique de commande réduite ici à une bascule, une porte ET et deux boutons poussoirs (remise à zéro du compteur et début de la mesure).

3. ANALYSE D'UNE MESURE

1) Le compteur est remis à zéro par le bouton poussoir noté RAZ.

La bascule est dans l'état initial suivant :

- entrées \bar{S} et \bar{R} au niveau 1
- sortie $Q = 0$ et $\bar{Q} = 1$

Les sorties $Q = 0$ et $\bar{Q} = 1 \Rightarrow K_1$ ouvert et K_2 fermé (le générateur de courant est bloqué et $V_c = 0$).

2) La mesure est déclenchée par le bouton poussoir noté BP et qui met l'entrée \bar{S} de la bascule au niveau 0. Cette action momentanée sur BP fait changer d'états aux sorties Q et \bar{Q} : $Q \rightarrow 1$ et $\bar{Q} \rightarrow 0$. Ceci a pour conséquences simultanées :

- la fermeture de l'interrupteur K_1
- l'ouverture de l'interrupteur K_2
- l'ouverture de la porte ET pour les signaux de l'horloge.

Dans ces conditions, le générateur de courant I charge le condensateur à courant constant et la tension V_c croît linéairement avec le temps :

$$It = C V_c \Rightarrow V_c = \frac{I}{C} t$$

Les signaux d'horloge parviennent au compteur qui les dénombre.

3) Lorsque la tension V_c atteint la valeur V_e à mesurer, le comparateur change d'état : l'entrée \bar{R} est alors mise à 0 ce qui provoque le retour à l'état initial de la bascule ; d'où :

- arrêt du comptage,
- ouverture de K_1 ,
- fermeture de K_2 qui court-circuite le condensateur chargé et refait basculer le comparateur.

Le diagramme des temps pour deux mesures successives V_e et V'_e est représenté sur la figure 17.

4. SCHÉMAS ÉLECTRIQUES DE LA MAQUETTE

Voir figures 18 et 19.

5. LES DIFFÉRENTS ÉLÉMENTS DU MONTAGE

5.1. La bascule $\bar{R} \bar{S}$

Elle assure la logique de commande de la mesure : commande des interrupteurs K_1 et K_2 (début et fin de mesure) et l'ouverture et fermeture de la porte ET reliant l'horloge au compteur.

Elle est réalisée à l'aide de 2 portes NON-ET d'un boîtier 4011 B alimenté en +15 V.

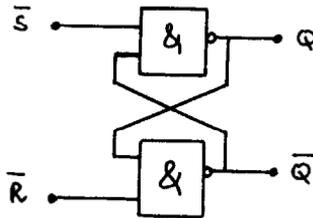


Figure 2

Le circuit logique ainsi constitué est dit séquentiel : l'état des sorties ne dépend pas uniquement de l'état actuel des entrées ; il dépend aussi de la dernière action effectuée, c'est-à-dire des états antérieurs de sortie.

A partir de l'état de repos (ici $\bar{S} = \bar{R} = 1$, $Q = 0$ et $\bar{Q} = 1$), une mise à 0 momentanée de \bar{S} conduit à $Q = 1$ et $\bar{Q} = 0$; toute nouvelle action sur \bar{S} est sans effet.

Une action momentanée sur \bar{R} (mise à 0) conduit à $Q = 0$ et $\bar{Q} = 1$. Toute nouvelle action sur \bar{R} n'a aucun effet.

Il en résulte qu'à l'état de repos ($\bar{S} = \bar{R} = 1$) correspondent 2 états différents possibles pour les sorties : ($Q = 0$, $\bar{Q} = 1$) ou ($Q = 1$, $\bar{Q} = 0$).

C'est la précédente action sur \bar{S} (ou \bar{R}) qui conditionne alors l'état de sortie. La bascule est dite bistable.

La table de vérité de cette bascule est :

\bar{S}	\bar{R}	Q_{n+1}	\bar{Q}_{n+1}
1	1	Q_n	\bar{Q}_n
0	1	1	0
1	0	0	1
0	0	1	1

mémorisation de Q ($Q_n = 0$ ou 1)

mise à 1 de Q

mise à 0 de Q

état interdit en pratique

Figure 3

Q_n désigne l'état de Q à l'instant t_n , Q_{n+1} l'état à l'instant t_{n+1} .

Le chronogramme ci-dessous précise sous une autre forme le fonctionnement de cette bascule :

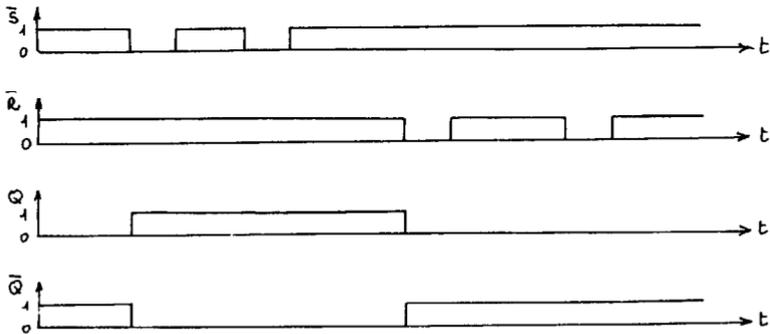


Figure 4

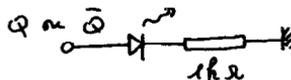
Remarques :

a) L'état correspondant à $\bar{S} = \bar{R} = 0$ conduisant à $Q = \bar{Q} = 1$ n'est pas utilisé en pratique car il présente un double inconvénient :

- les sorties Q et \bar{Q} ne sont plus complémentaires,
- le retour à l'état de repos ($\bar{S} = \bar{R} = 1$) conduit à des états de sortie qu'il est impossible de prévoir en raison de vitesses différentes de commutation.

b) Les sorties Q et \bar{Q} de la bascule commandent respectivement les bases des transistors T_1 et T_2 qui fonctionnent en commutation (bloqué-saturé) et jouent le rôle des interrupteurs K_1 et K_2 .

c) L'état des sorties Q et \bar{Q} est visualisé sur la maquette par des leds (branchement direct entre la sortie et la masse à travers une résistance de 1 k Ω) :



5.2. Le générateur de courant

Pendant la phase de mesure le transistor T_1 est saturé (c'est-à-dire K_1 fermé) et le transistor T_2 est bloqué (K_2 ouvert).

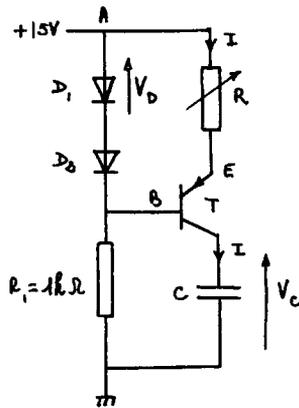


Figure 5

Le circuit de charge du condensateur se ramène à celui représenté ci-dessus (figure 5) :

– le pont $AD_1 D_2 R_1$ est parcouru par un courant :

$$\frac{15 - 2V_D}{R_1} \approx 13,5 \text{ mA} \text{ très supérieur à celui du courant de base de T.}$$

– Dans la maille $AD_1 D_2 B E R A$ on peut écrire : $2V_D = V_{EB} + RI$

soit

$$I \approx \frac{V_D}{R}$$

I est aussi le courant collecteur car pour le transistor T $\beta \approx 200$.

Ici, le courant I peut être réglé entre les valeurs :

$$\frac{0,7}{0,470} \approx 1,5 \text{ mA} \text{ et } \frac{0,7}{5,470} \approx 0,13 \text{ mA}$$

La charge du condensateur est alors de la forme :

$$It = CV_c \Rightarrow V_c = \frac{I}{C} t \approx \frac{V_D}{RC} t$$

$$\text{ou } \frac{V_c}{t} = \frac{V_D}{RC} = \text{cte pour une valeur donnée de R.}$$

Avec les valeurs choisies, le condensateur peut se charger à raison de 0,13 V/s à 1,5 V/s.

5.3. Le comparateur

C'est un ampli op. monté en comparateur.

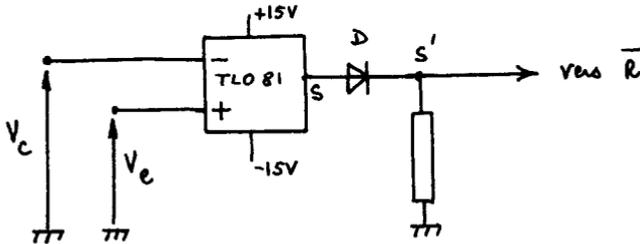


Figure 6

Tant que $V_c < V_e$, la sortie S de l'A.O.P. est en saturation haute (≈ 14 V). La diode D conduit : le potentiel de S' (envoyé à l'entrée \bar{R} de la bascule) est au niveau haut.

Quand V_c atteint V_e , l'ampli-op. bascule en saturation basse (≈ -14 V) ; la diode D est bloquée et le potentiel de S' est mis à 0. La bascule $\bar{S} \bar{R}$ change d'état :

- le condensateur est déchargé à travers T_2
- T_1 est bloqué
- la porte ET est fermée : le comptage des impulsions d'horloge s'arrête.

Remarque : le basculement du comparateur de la saturation haute à la saturation basse (et donc la mise à 0 de \bar{R}) est très éphémère.

5.4. L'Horloge

C'est un multivibrateur à inverseurs logiques de type RC.

La réalisation est effectuée à partir d'un circuit CMOS 4011B alimenté en +5V.

Les deux premières portes constituent l'horloge proprement dite ; les deux autres réalisent la fonction ET entre la sortie de l'horloge H et la sortie Q de la bascule : $H' = H.Q$

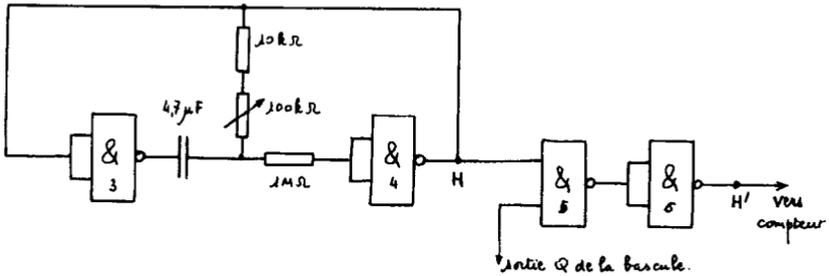


Figure 7

Dans ces conditions, le compteur ne reçoit les signaux de l'horloge que lorsque $Q = 1$ c'est-à-dire pendant la phase de mesure.

La période de l'horloge $T \approx 2,2 RC$ peut être réglée entre 0,1s et 1s environ.

5.5. Le compteur

Un compteur est un circuit logique complexe du type séquentiel, destiné à compter des impulsions. Il est constitué à partir de bascules, elles-mêmes organisés autour de la bascule $\bar{S} \bar{R}$ vue plus haut. Ces bascules sont actives soit sur un niveau donné, soit sur un front (montant ou descendant).

Un type de bascule fréquemment utilisée est la bascule JK, de structure complexe (cf. figure 21), dont les sorties Q et \bar{Q} sont toujours complémentaires et dont nous ne donnons qu'un cas particulier de fonctionnement :

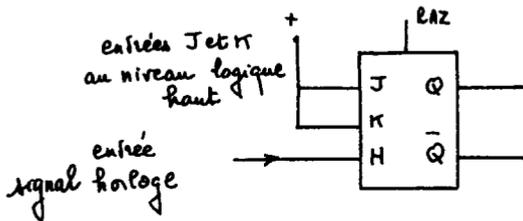


Figure 8

Dans ces conditions on observe le basculement des sorties Q et \bar{Q} lors des fronts montants (ou descendants selon le type de bascule) du signal d'horloge.

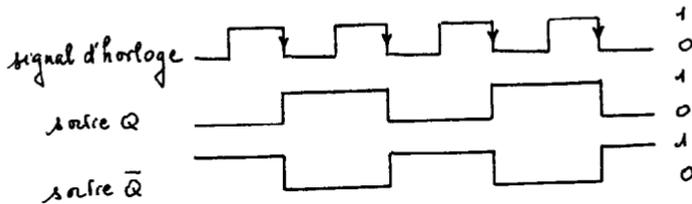


Figure 9

a) Compteur binaire

En associant 4 bascules JK en cascade, on constitue un compteur binaire sur 4 bits :

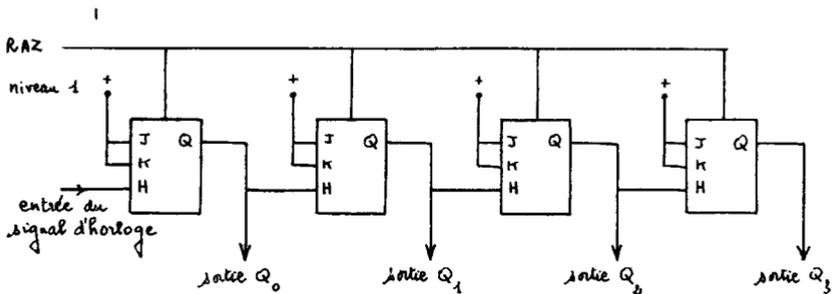


Figure 10

Le chronogramme de fonctionnement de ce compteur est représenté sur la figure 20.

Les sorties considérées dans leur ensemble constituent la représentation binaire des nombres de 0 à 15. Les 4 sorties ne peuvent prendre que 2 états distincts (niveau bas 0 ou niveau haut 1) ; il y a donc $2^4 = 16$ états différents correspondant aux nombres de 0 à 15.

Au nombre décimal N compris entre 0 et 15, correspond le nombre binaire $(Q_3 Q_2 Q_1 Q_0)$:

$$N = Q_0 2^0 + Q_1 2^1 + Q_2 2^2 + Q_3 2^3$$

nb décimal	Q ₃	Q ₂	Q ₁	Q ₀
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1

$$N \text{ (en décimal)} = Q_0 2^0 + Q_1 2^1 + Q_2 2^2 + Q_3 2^3$$

Figure 11

b) Compteur décimal

Le compteur binaire ci-dessus convient fort bien au traitement des nombres dans un calculateur, mais lorsqu'il s'agit d'afficher un nombre, le plus simple est encore d'utiliser le système de numération à base 10.

Moyennant la mise en œuvre de circuits logiques combinatoires supplémentaires (voir figure 22), on peut modifier le compteur précédent, en lui imposant de compter de 0 à 9 et le retour à 0 lors de la 10^e impulsion. Les quatre sorties Q₀ Q₁ Q₂ Q₃ doivent toujours être utilisées (Q₃ est nécessaire pour les nombres 8 et 9) : le compteur décimal donne donc la valeur des chiffres 0 à 9 en binaire.

On dit que le comptage est effectué en décimal codé binaire (en abrégé DCB).

Les compteurs peuvent être mis en cascade :

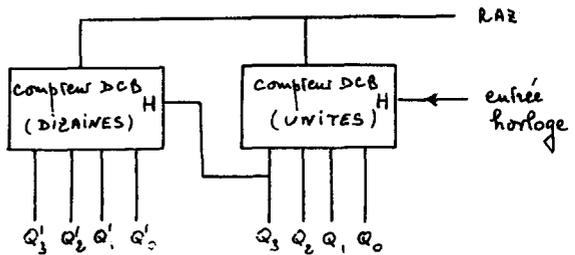


Figure 12

Le circuit intégré CMOS 4518 est un double compteur décimal qui permet de réaliser facilement le schéma précédent ; c'est celui utilisé sur la maquette : le front actif est le front descendant.

Les sorties $Q_0 \dots Q_3$ $Q'_0 \dots Q'_3$ sont visualisées par des leds alimentées par l'intermédiaire de transistors (voir figure 19) afin de ne pas dégrader le niveau logique haut. Leur ensemble ordonné donne le nombre d'impulsions comptées en décimal codé binaire (chaque chiffre décimal est codé en binaire).

5.6. L'affichage décimal

Il permet de visualiser la valeur décimale correspondant à une information décimale codée binaire, sur un « afficheur 7 segments » où chaque segment correspond à une diode électro-luminescente.

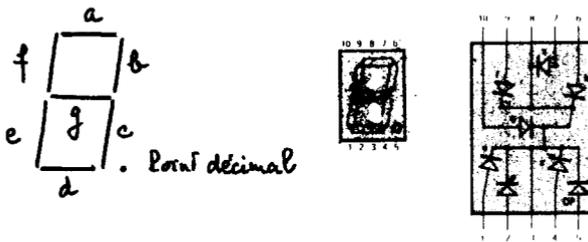


Figure 13

Comme l'information décimale codée binaire se fait sur 4 bits (sorties Q_0 Q_1 Q_2 Q_3 du compteur) et que la représentation classique des chiffres de 0 à 9 nécessite la commande de 7 diodes, il faut interposer entre la sortie du compteur et l'afficheur un circuit logique combinatoire appelé transcodeur DCB/décimal

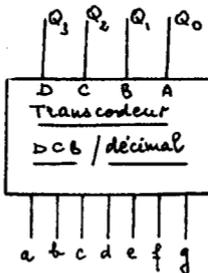


Figure 14

(la terminologie « décodeur » est également usuelle).

Le transcodeur utilisé sur la maquette est le circuit CMOS 4511 dont le branchement est :

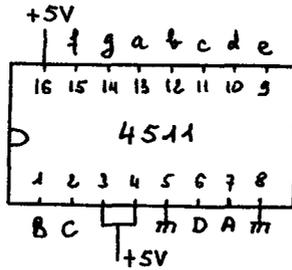


Figure 15

L'afficheur 7 segments utilisé est à cathode commune ; des résistances de $180\ \Omega$ limitent le courant dans chaque segment à environ 20 mA :

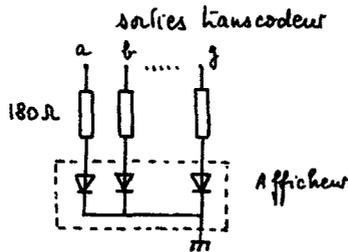


Figure 16

6. UTILISATION DE LA MAQUETTE

Afin de bien suivre le déroulement des opérations effectuées par les divers éléments de la maquette, on opérera d'abord au rythme le plus lent :

- charge lente du condensateur (réglable)
- fréquence faible de l'horloge (réglable)

Afficher $V_e = 5V$ par exemple (contrôle par un voltmètre numérique de la collection). Si le condensateur se charge à raison de $0,2\ V/s$, la mesure va durer 25s au cours desquelles le compteur devra compter

50 flancs descendants de l'horloge c'est-à-dire 50 périodes (celle-ci devra donc être réglée à $T = 0,5s$).

Après réglage :

- contrôler la reproductibilité des résultats pour une même valeur de V_e ,
- vérifier la linéarité du dispositif en affichant d'autres valeurs de V_e .

Reprendre éventuellement à des cadences plus rapides.

Remarques :

1 - Le voltmètre numérique très simplifié ainsi réalisé est dit à 100 points de mesure.

L'étendue de mesure est de 0 à 9,9V.

La résolution (ou plus petite différence mesurable) est de 0,1 V.

La résistance d'entrée du voltmètre est celle de l'ampli op. utilisé en comparateur (plusieurs $M\Omega$).

2 - La maquette permet de convertir une grandeur analogique (une tension) en une grandeur numérique. Elle réalise la conversion analogique - numérique (CAN) sur 8 bits.

Elle représente une version très simplifiée des CAN intégrés que l'on trouve dans le commerce (cf figure 23).

BIBLIOGRAPHIE

- B.U.P. n° 669 Principe de quelques voltmètres numériques (A. MATHIEU).
- Circuits intégrés et techniques numériques - R. DELSOL - Collection Sup' Aéro.
- Électronique digitale - P. CABANIS - Dunod.

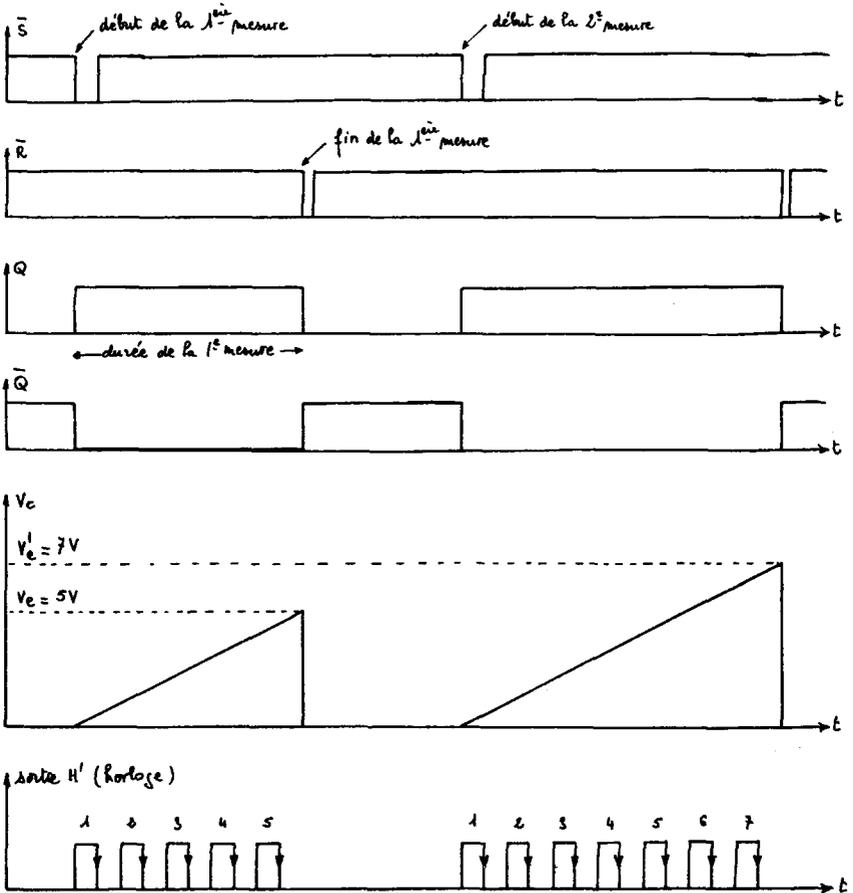


Figure 17 : Diagramme des temps pour deux mesures successives V_e et V'_e .

Remarque : afin de simplifier la représentation, on a utilisé la correspondance $1V \leftrightarrow 1$ période d'horloge. Sur la maquette, la correspondance est de $1V$ pour 10 périodes d'horloge.

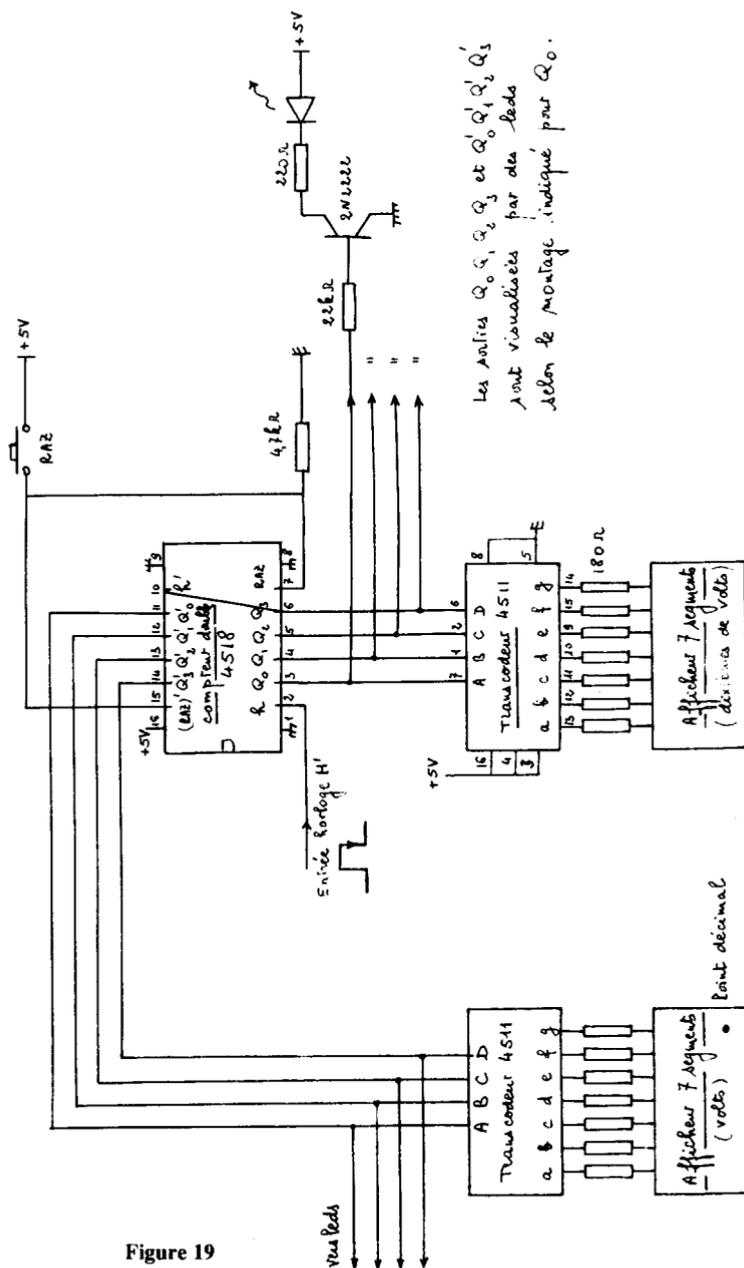


Figure 19

vers LEDs

Point décimal

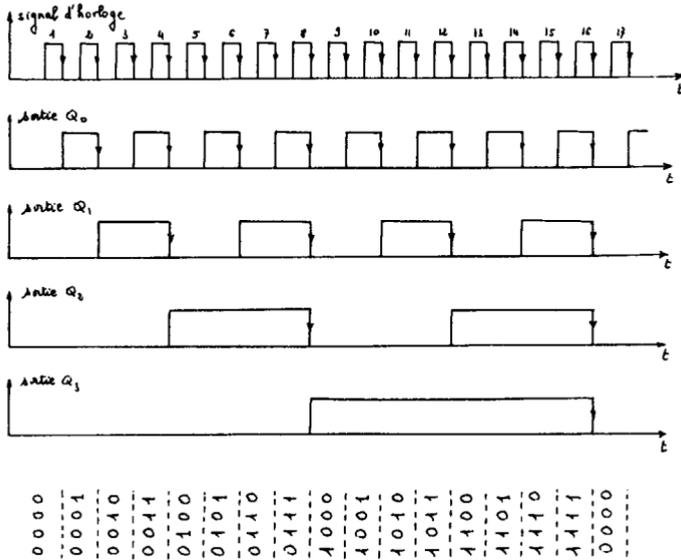


Figure 20 : Compteur 4 bits diagramme des temps

Remarques :

- 1 - Si f est la fréquence du signal d'horloge, les sorties Q_0 Q_1 Q_2 Q_3 délivrent respectivement des signaux de fréquence $f/2$, $f/4$, $f/8$, et $f/16$.
- 2 - Si le compteur est utilisé en décimal codé binaire, à la 10^e impulsion toutes les sorties sont mises à zéro et un nouveau cycle de comptage recommence.

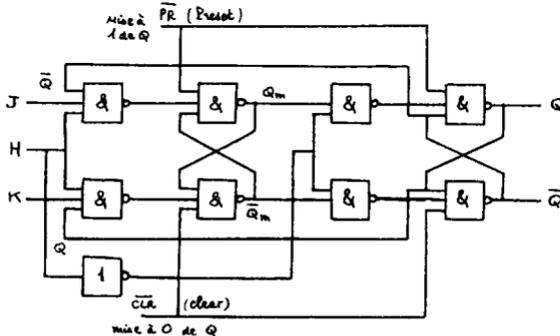
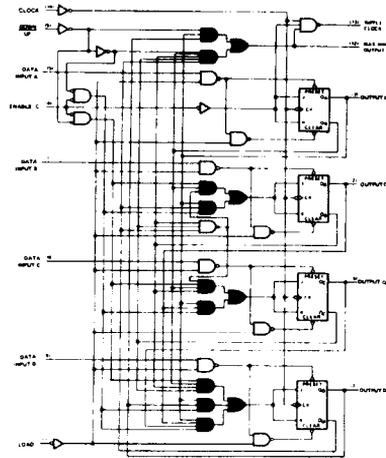
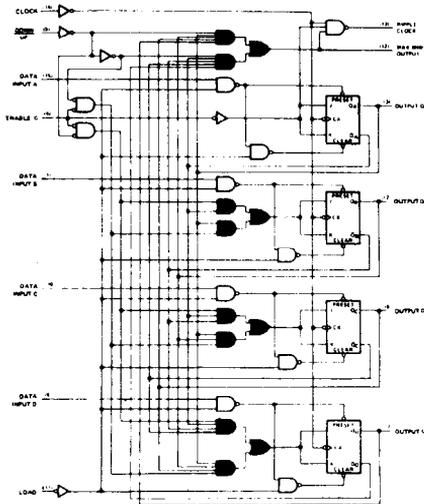


Figure 21 : Bascule JK Maître - Esclave



-SN 74190-Décade de comptage synchrone réversible.



-SN 74191-Compteur 4 bits synchrone réversible.

Figure 22

Les compteurs ci-dessus sont synchrones (leurs bascules JK reçoivent le signal d'horloge au même instant) et réversibles (ils peuvent compter ou décompter à partir d'une valeur prédéterminée fixée par l'état des entrées «data input»).

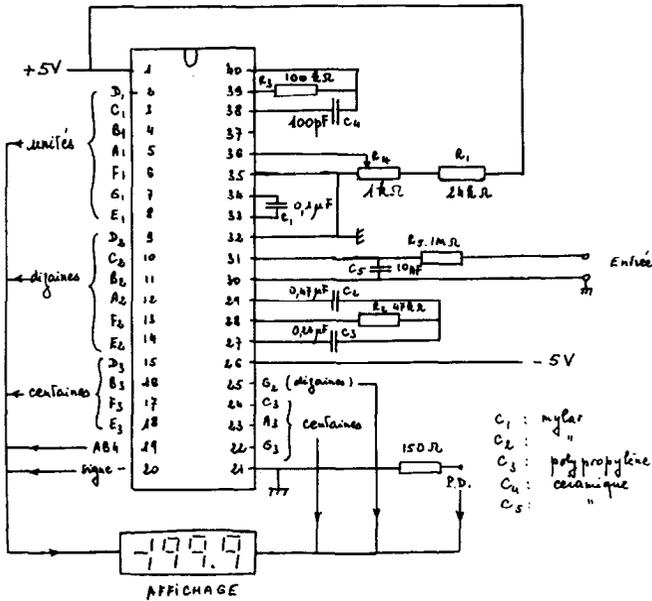


Figure 23 : Convertisseur analogique - numérique

Ex : ICL 7107 d'Intersil.

Le circuit intégré ICL 7107 comprend un convertisseur A/N à double rampe, une horloge, une tension de référence, les circuits nécessaires à l'affichage 7 segments par leds (transcodeur BCD-7 segments, amplificateurs de sortie.

Remarque : Le schéma ci-dessus correspond à une étendue de mesure de 200 mV.

Pour la porter à 2,000 V, il faut remplacer

- $C_2 = 0,47\mu F$ par $C'_2 = 0,047 \mu F$
- $R_1 = 24 \text{ k}\Omega$ par $R'_1 = 1,5 \text{ k}\Omega$
- $R_2 = 47 \text{ k}\Omega$ par $R'_2 = 470 \text{ k}\Omega$